

iCE40UP MP ボード取扱説明書 **(MS91900BD)**

Ver 1.00

2019/08/29

令和1年 08月 29日

作成： Megasys

— 改定履歴 —

Revision	Date	Author	Comments
1.00	2019.08.29	megasys	Initial Release

— 目次 —

1	はじめに	4
1.1	概要.....	4
2	基板構成	5
2.1	ボード概略図.....	5
2.2	ボード仕様.....	6
3	ボード説明	7
3.1	部品配置.....	7
3.2	電源.....	8
3.3	発振器.....	8
3.4	コンフィグレーションモード.....	9
3.5	コンフィグレーションモードとジャンパ SW の関係.....	10
4	FPGA コンフィグレーション	11
4.1	FPGA 内部 CRAM コンフィグレーションモード.....	11
4.2	SPI フラッシュ書込みモード.....	14
4.3	FPGA 内部 NVCM 書込みモード.....	16
4.4	SPI フラッシュからのコンフィグレーションモード.....	17
4.5	FPGA 内部 NVCM からのコンフィグレーションモード.....	17
5	その他	18
6	付属資料	19
6.1	基板外形図.....	19
6.2	基板回路図.....	20
6.3	使用部品.....	21
7	補足	21

1 はじめに

本書は iCE40UP MP Board(弊社型番 MS91900BD)の取扱説明書です。
(iCE40Ultra Plus Multi-Purpose Board)

1.1 概要

本ボードは Lattice Semiconductor 社製 iCE40UP シリーズ UP5K FPGA を使用した FPGA 開発ボードです。

iCE40 UP5K は Logic Cell 数 5,280 個 Embedded RAM bit 数 120Kbits SRAM bit 数 1024Kbit PLL1 個 DSP Block 8 個 最大 User I/O 数 39 のデバイスです。本基板に搭載されているデバイスは UP5K-UWG30ITR で、このデバイスの最大 I/O 数は 21 ですが、本基板から外部接続可能な最大 I/O 数は 16 となっております。

本ボードには USB I/F デバイス、電源回路、クロック用発振器、コンフィグレーションスイッチ、コンフィグレーション用回路、コンフィグレーション用 Flash ROM が装備され、Lattice Semiconductor 社が提供するフリーの FPGA 開発ソフト iCEcube2 又は Lattice Radiant を使用して、すぐに開発が始められるボードとなっております。

本ボードに搭載の FPGA には DSP ブロックが 8 個搭載されているため、本ボードをセンサーインターフェース等の IOT 用途等に使用することにより、フィルター演算等を行った後のセンサーデータを CPU に転送するセンサーインターフェース回路を構築することができます。このように本ボードを使用することによって CPU の負荷を減らすシステムの構築が可能です。

また本ボードは、iCE40 シリーズに特有の 3 種のコンフィグレーション動作モードがサポートされています。

すなわち、コンフィグレーションデータを FPGA へ直接書き込むコンフィグレーション動作モード、基板上のシリアルフラッシュ ROM にコンフィグレーションデータを書き込み、この SPI フラッシュから FPGA のコンフィグレーションデータを書き込むコンフィグレーション動作モード、FPGA 内部の不揮発性メモリ (NVCM) にコンフィグレーションデータを書き込み、この FPGA 内部 NVCM からコンフィグレーションを行うコンフィグレーション動作モードの 3 種のコンフィグレーション動作モードをサポートします。(特許第 6488683 号) 開発完了後のコンフィグレーションデータを NVCM に格納して使用することによって回路データの秘匿性を担保することができます。従ってユーザーのシステム内で本ボードをそのまま使用することも可能と考えています。

これらのコンフィグレーションデータの格納は USB Mini Cable で PC と本ボード間を接続し、Lattice Semiconductor 社が提供する Diamond Programmer ソフトを使用していきます。

また、本ボードのジャンパ SW JP5、JP6 からコンフィグレーション用の信号を接続するケーブルを作成し用意すると、本ボードを USB Mini USB ケーブルで PC と接続することにより本ボードがコンフィグレーション用のプログラミングケーブルとして使用できます。

2 基板構成

2.1 ボード概略図

本ボードの外形と部品配置の概略図を図 2.1-1 ボード概略図に示す。

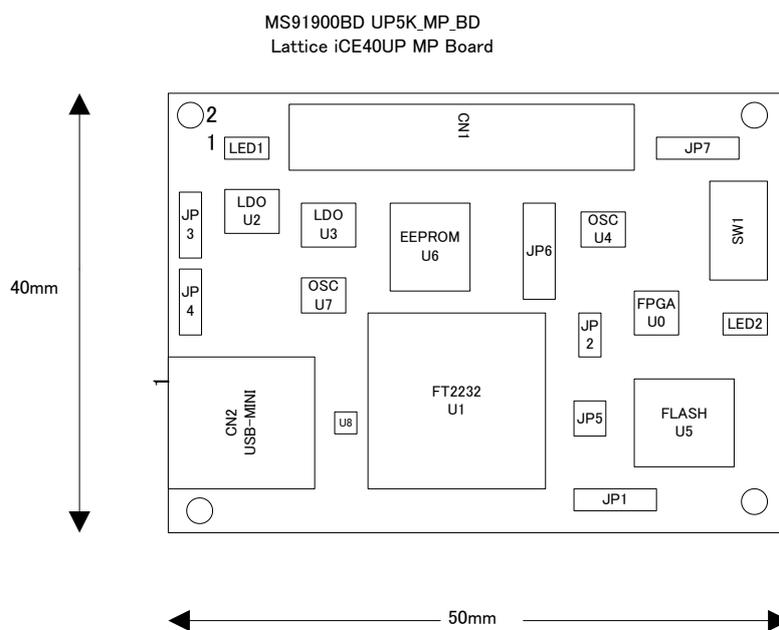


図 2.1-1 ボード概略図

2.2 ボード仕様

本ボードの仕様一覧を下記の表 2.2-1 ボード仕様一覧に示す。

表 2.2-1 ボード仕様一覧

項目	内容	補足
FPGA	iCE40UP5KUWG30ITR	
ユーザーIO	16本	
コンフィグレーション用ROM	M25P80 (Micron serial Flash ROM)	又は同等品
電源入力	DC5V又はDC3.3V(3.3Vを電源として使用する時)、その他のFPGA用内部電源はボード内で生成	
クロック用発振器	27MHz FPGA用	
クロック用発振器	12MHz USB to UART FTDI device用	
ステータスLED1	電源ON時点灯	LED1
ステータスLED2	コンフィグレーション完了時点灯 (NGで消灯)	LED2
スイッチ	コンフィグレーション開始	SW1
ジャンパJP3	入力電源切り替え用	JP3
ジャンパJP4	入力電源切り替え用	JP4
ジャンパJP7	出力電源切り替え用	JP7
I/Oコネクタ	2.54mmピッチ 20PIN	CN1
USBコネクタ	USB Mini コネクタ コンフィグレーション etc.用	CN2
ジャンパJP5	コンフィグレーションモード設定用、1.27mmピッチ 4PIN	JP5
ジャンパJP6	コンフィグレーションモード設定用、1.27mmピッチ 10PIN	JP6
ジャンパJP1	コンフィグレーションモード設定用、1.27mmピッチ 3PIN	JP1
ジャンパJP2	コンフィグレーションモード設定用、1.27mmピッチ 2PIN	JP2
プリント基板	ガラスエポキシ6層基板 1.0t	
基板寸法	40×50mm	
質量	約9g (CN1にピンヘッダを装着しない状態)	
付属品1	ジャンパソケット6個 (コンフィグレーションモード設定用)	
付属品2	ジャンパソケット3個 (入力電源設定用)	
付属品3	2×10PINピンヘッダ、ソケット1組	

*iCE40UP5K UWG30 : Logic Cell数 5,280個 Embedded RAM bit数 120Kbits
SRAM bit数 1024Kbits PLL1個 静止電流 75uA typ.

3 ボード説明

3.1 部品配置

本ボードの概略部品配置図を図 3.1-1 概略部品配置図、ボード写真を図 3.1-2 ボード写真に示す。

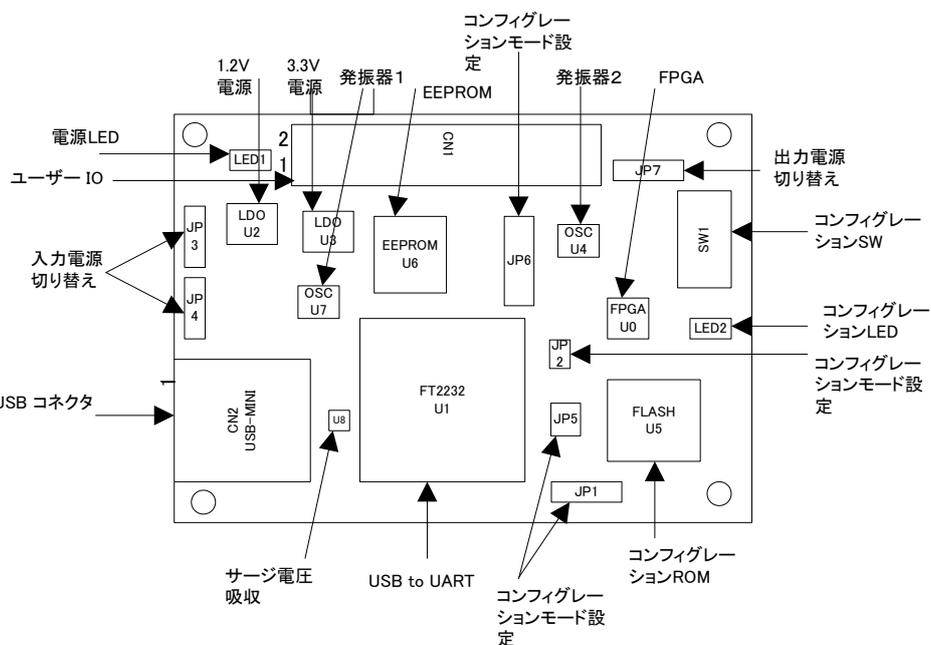


図 3.1-1 概略部品配置図



図 3.1-2 ボード写真

3.2 電源

本ボードは電源として外部から 5V 又は 3.3V を供給して使用します。5V の供給のときは CN2(USB コネクタ)又は CN1(20PIN コネクタ)から供給します。3.3V のときは CN1 から供給します。

5V の供給時は FPGA 内部で使用する 1.2V、3.3V は本ボード上のレギュレータで生成され FPGA に供給されます。3.3V の供給時は 1.2V は本ボード上のレギュレータで生成された電源が FPGA に使用されますが、3.3V は外部から入力された電源がそのまま FPGA に使用されま

本ボードでは I/O バンク 3 が本ボード上のジャンパ SW(JP7)の接続を切り替えることにより 1.2V の I/O に切り替え可能な構造になっています。

バンク 3 の I/O 電圧	JP7
3.3V	1-2
1.2V	2-3

- ・出荷時は 3.3V の接続状態になっています。

3.3 発振器

本ボード上には FPGA のクロック用に使用する 27MHz の発振器と FTDI の USB to Uart デバイスのクロック用に使用する 12MHz の発振器が搭載されています。

FPGA のクロック用の信号はジャンパ抵抗を切り替えることによりコネクタ CN1 からクロック用信号を供給するように変更できます。(R29 を未実装 : R9 を実装に変更)

出荷時は R29 が実装 : R9 が未実装ですのでボード上の 27MHz がクロック信号として供給されます。

FTDI の USB to Uart デバイスのクロック用の信号は基板上の 12MHz 発振器出力固定です。

3.4 コンフィグレーションモード

本ボードは

1. 外部から FPGA 内部のコンフィグレーションメモリへ直接コンフィグレーションデータを送りコンフィグレーションを行うコンフィグレーションモード
2. FPGA 内部の不揮発性メモリ (NVCM) にコンフィグレーションデータを書き込みその不揮発性メモリのデータによりコンフィグレーションを行うモード
3. 本ボード上にある FPGA 外部のコンフィグレーション用 ROM(シリアルフラッシュ ROM) にコンフィグレーションデータを書き込み、その ROM データにより FPGA のコンフィグレーションを行うモード

の 3 種のコンフィグレーションモードを切り替えることができます。

コンフィグレーションモードの切り替えはコンフィグレーションモード切り替え用ジャンパ SW (JP1)、コンフィグレーションモード切り替え用ジャンパ SW (JP2)、コンフィグレーションモード切り替え用ジャンパ SW (JP5) の切り替えと、コンフィグレーション信号接続ジャンパ SW (JP6) の接続により行います。

各コンフィグレーションモードの接続の詳細は次項 3.5 コンフィグレーションモードとジャンパ SW の関係の項目で説明します。

3.5 コンフィグレーションモードとジャンパ SW の関係

本ボード上には FPGA コンフィグレーションモード選択用ジャンパ SW として JP1,JP2,JP5,JP6 の4個のジャンパ SW が用意されています。

この上記4種類のジャンパ SW を下表、表 3.5-1 コンフィグレーションモード一覧の様に切り替えることにより 3.4 項で説明した3種のコンフィグレーションモードに対応できる構成になっています。

表 3.5-1 コンフィグレーションモード一覧

動作モード	JP1	JP2	JP5	JP6				
				1-2	3-4	5-6	7-8	9-10
FPGA 内部 CRAM コンフィグモード	GND (2,3)	OFF	1-3 2-4	ON	ON	ON	ON	OFF
SPI フラッシュ書 込みモード	open	ON (1,2)	1-2 3-4	ON	ON	ON	ON	OFF
FPGA 内部 NVCM 書込みモード	GND (2,3)	OFF	1-3 2-4	ON	ON	ON	ON	OFF
SPI フラッシュか らのコンフィグレ ーション	open	ON (1,2)	-	-	-	-	-	OFF
FPGA 内部 NVCM からのコンフィグ レーション	VCC (1,2)	OFF	-	-	-	-	-	OFF

*表中の - は Don't Care を表します。

**SPI フラッシュからのコンフィグレーションのときと FPGA 内部 NVCM からのコンフィグレーションモードのときの JP5 は OPEN でも 1-2,3-4 又は 1-3,2-4 の接続状態のいずれでも OK です。同様に JP6 の 1-2,3-4,5-6,7-8 は ON,OFF どちらでも OK です。

***すでに FPGA 内部の NVCM に書き込みが行われた後は NVCM へ新たなデータの書き込みはできませんので注意してください。(内部 NVCM はワンタイムメモリとなっています。)

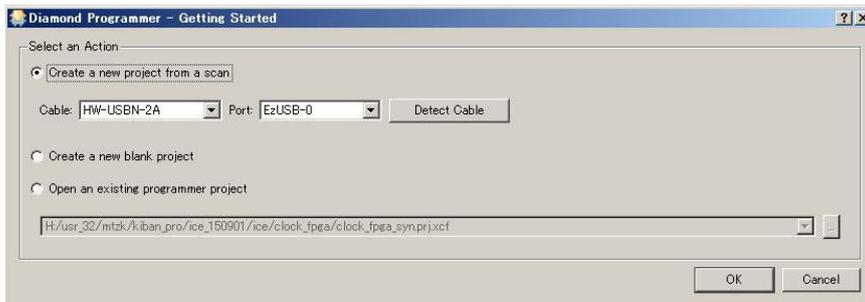
4 FPGA コンフィグレーション

表 3.5-1 コンフィグレーションモード一覧に示した各モードのコンフィグレーションモードの動作について説明します。

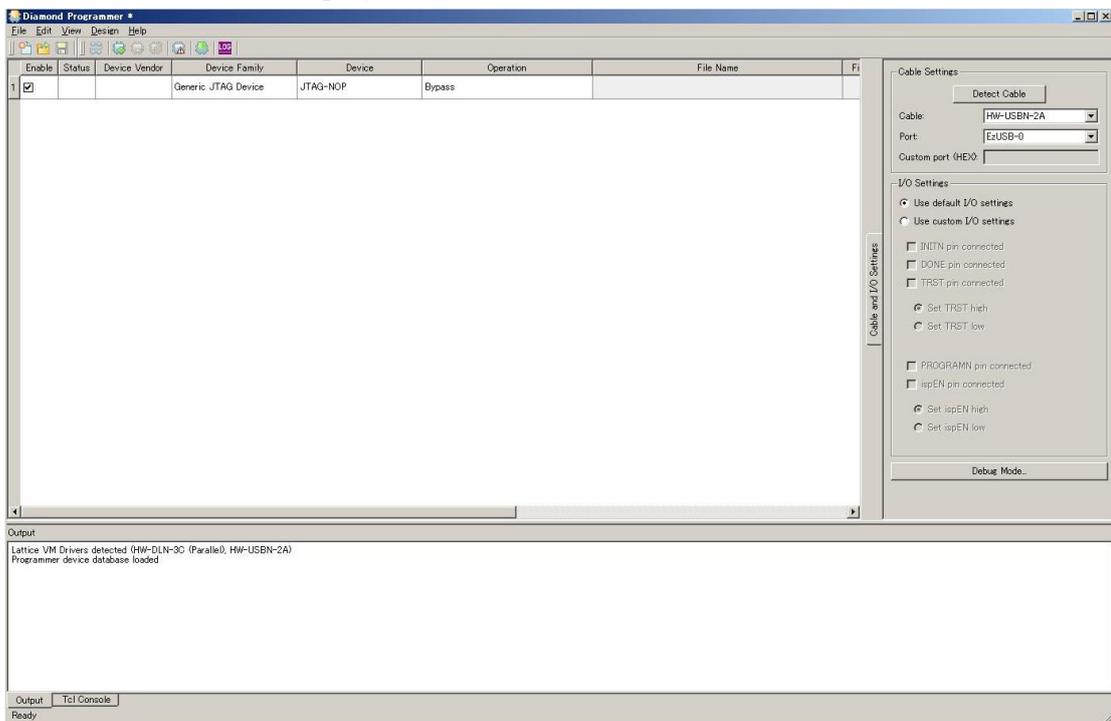
本ボードと PC 間を USB-MiniUSB ケーブルで接続し、Lattice Semiconductor 社が提供する Diamond Programmer ソフトを使用することにより FPGA のコンフィグレーションを行います。

4.1 FPGA 内部 CRAM コンフィグレーションモード

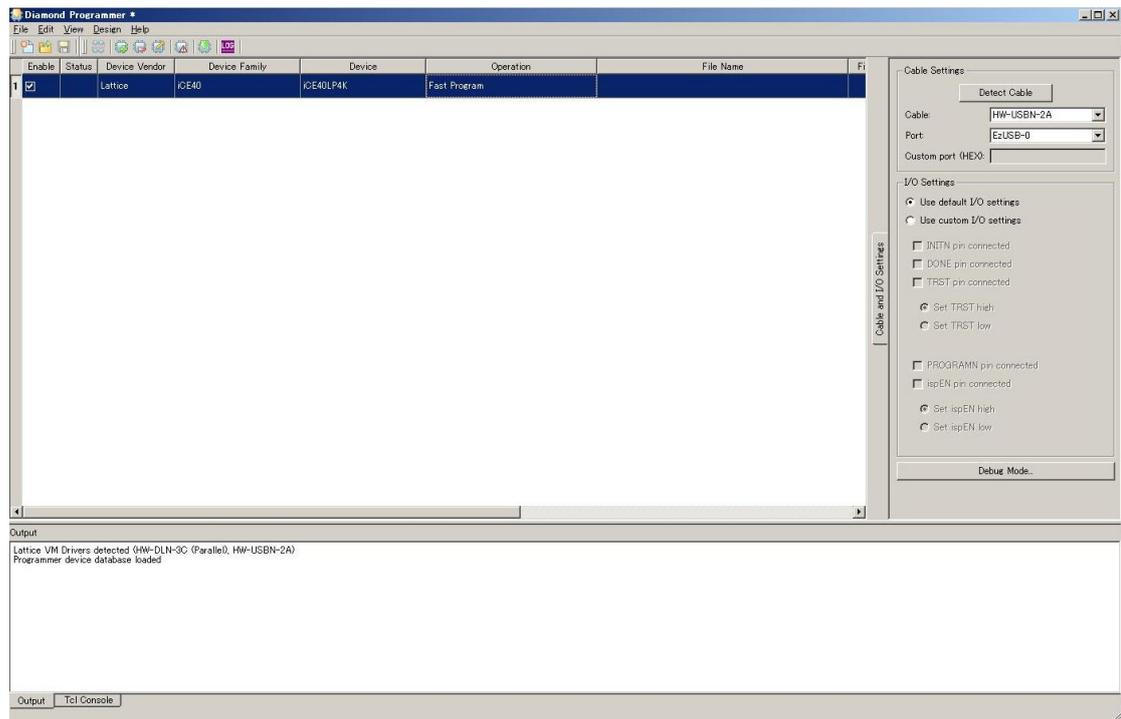
1. ジャンパー-SW JP1,JP2,JP5,JP6 を表 3.5-1 コンフィグレーションモード一覧に従って接続します。
2. USB-MiniUSB ケーブルを使用して PC と本ボードを接続します。
3. Diamond Programmer を起動します。



4. Create a new blank project をチェックして OK をクリックします。



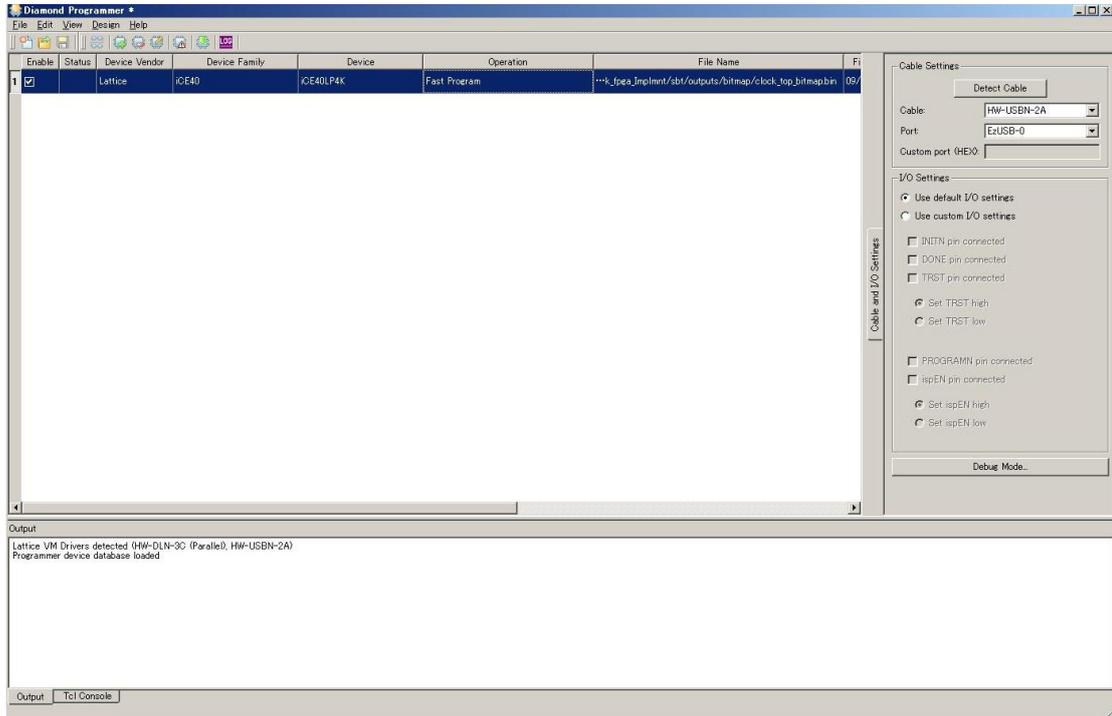
5. Device Family をクリックして ice40Ultra Plus を選択、Device をクリックして UP5K を選択します。



6. Operation をダブルクリックして CRAM Programming を選択し、コンフィグレーション用.bin データを選択し OK をクリックします。



7. この画面で Design タブから Program を選択します。
→FPGA 内部 CRAM へのコンフィグレーションが開始されます。

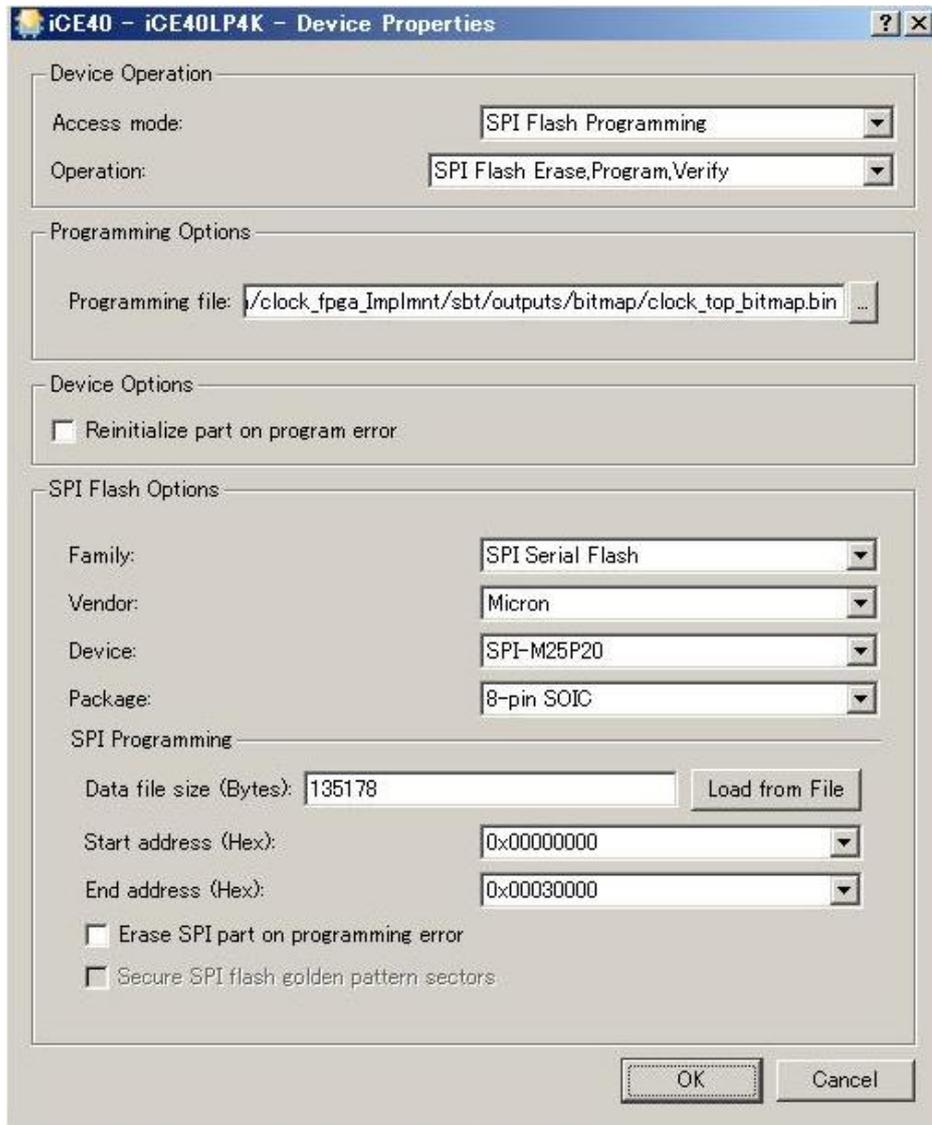


この画面を終了するとき設定を **save** するかどうか聞いてきますので、ファイル名を入力して **save** を行い終了します。(他のモードでも同様です。)

2 回目以降は 3. で **Open an existing programmer project** を選択してプログラミングを行うことができます。(このとき 5. の状態が保存されますので、6. 以降を行う形となります。)

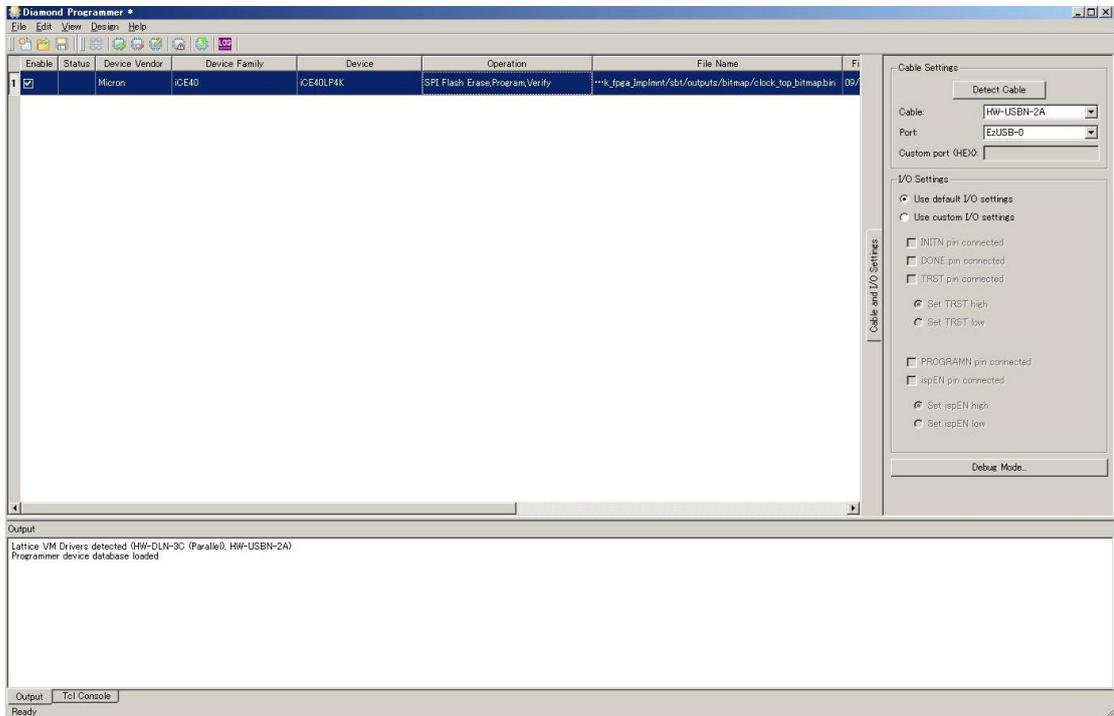
4.2 SPIフラッシュ書込みモード

1. から 5. までは 4.1 と同じ操作です。
6. Operation をダブルクリックして SPI Flash Programming を選択し、コンフィグレーション用.bin データを選択します。
次に SPI Flash の型番を選択します。(この例では Micron,SPI-M25P20,8-pin SOIC)
次に OK をクリックしてメイン画面に戻ります。



7. この画面で Design タブから Program を選択します。

→基板上の SPI フラッシュへのコンフィグレーションデータの書き込みが行われます。
また同時に FPGA もコンフィグレーションされます。

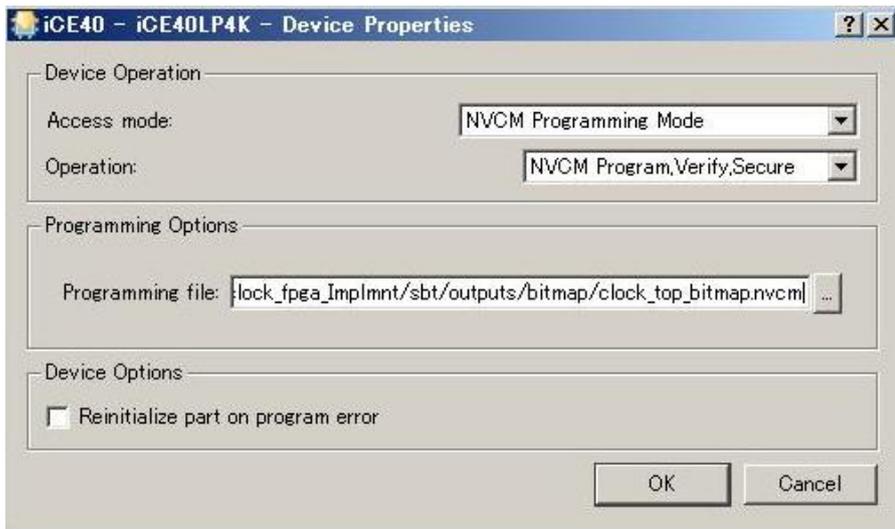


8. FPGA 内部回路の他にファームウェアを使用して制御を行う場合には SPI フラッシュへの回路情報のコンフィグレーションデータの書き込みの後にファームウェアのデータを書き込む使い方を行う場合があります。

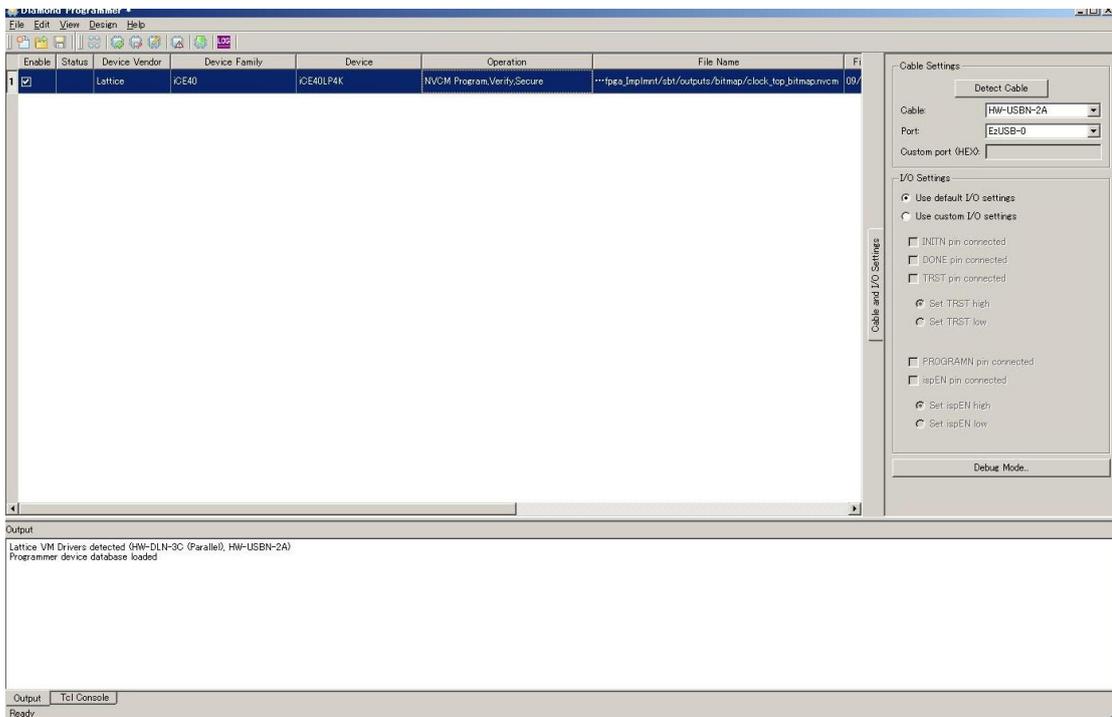
こういった使用法のときには、SPI フラッシュ内の回路情報のコンフィグレーションデータの領域の上位アドレスをスタートアドレス、エンドアドレスで指定してファームウェアデータの書き込みを行います。

4.3 FPGA 内部 NVCM 書き込みモード

1. から 5. までは 4.1、4.2 と同じ操作です。
6. Operation をダブルクリックして NVCM ProgrammingMode を選択し、コンフィグレーション用.nvcm データを選択します。（このときは.bin データではなく.nvcm データを使用します。）



7. この画面で Design タブから Program を選択します。
→FPGA 内部の不揮発性メモリ (NVCM) へのコンフィグレーションデータの書き込みが行われます。また同時に FPGA もコンフィグレーションされます。



4.4 SPIフラッシュからのコンフィグレーションモード

- ・ジャンパ SW、JP1,JP2,JP5,JP6 を表 3.5-1 に従って SPI フラッシュからのコンフィグレーションモードに設定します。
- ・電源投入または基板上の SW1 の ON/OFF で SPI フラッシュからのコンフィグレーションが行われます。
- ・すでにコンフィグレーションデータが書き込まれた SPI フラッシュからのコンフィグレーションモードのときは Programmer ソフトを使用する必要はありません。

4.5 FPGA 内部 NVCM からのコンフィグレーションモード

- ・ジャンパ SW、JP1,JP2,JP5,JP6 を表 3.5-1 に従って FPGA 内部 NVCM からのコンフィグレーションモードに設定します。
- ・電源投入または基板上の SW1 の ON/OFF で SPI フラッシュからのコンフィグレーションが行われます。
- ・すでにコンフィグレーションデータが書き込まれた FPGA 内部 NVCM からのコンフィグレーションモードのときは Programmer ソフトを使用する必要はありません。

5 その他

本ボードのジャンパ JP5、JP6 からコンフィグレーション用の信号を取り出して FPGA のコンフィグレーション PIN 間のケーブルを作成し用意すると、本ボードを USB Mini USB ケーブルで PC と接続することによりこれら全体がコンフィグレーション用のプログラミングケーブルとして使用できます。

1. 下記の様に接続

PC ---USB MiniUSB ケーブル---本ボード---JP5,JP6 と FPGA コンフィグレーション用 PIN 間の接続ケーブル---FPGA コンフィグレーション用 PIN

2. コンフィグレーション用の信号名と JP5,JP6 の PIN 番号との対応

JP5 : PIN NO2 = TDI

JP5 : PIN NO3 = TDO

JP6 : PIN NO2 = INITN

JP6 : PIN NO4 = TRST

JP6 : PIN NO6 = ispEN

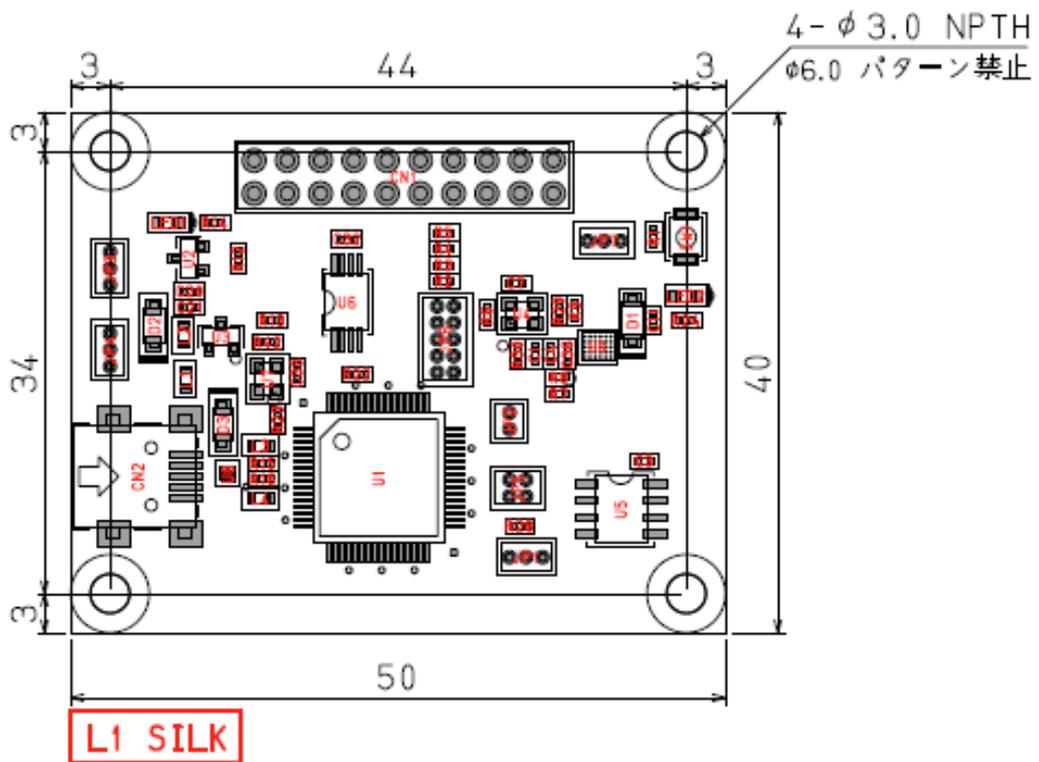
JP6 : PIN NO8 = TCK

JP6 : PIN NO9 = GND

以上

6 付属資料

6.1 基板外形図



6.3 使用部品

MS91900BD 部品表

NO	機能	数	型番	コメント
U0	FPGA	1	iCE40UP5K-UWG30ITR	Lattice Semiconductor
U1	USB to Uart	1	FT2232HL	FTDI
U2	Voltage regulator	1	MCP1700-1202E/TT(SOT23)	Micro Chip
U3	Voltage regulator	1	MCP1700-3302E/TT(SOT23)	Micro Chip
U4	OSC	1	KC2520B C10E27MHz	Kyocera
U5	Serial Flash	1	M25P80-VMN6P(SOIC)	Micron
U6	EEPROM	1	93LC56 BT/ST(TSSOP)	Microchip
U7	OSC	1	KC2520B C10E12MHz	Kyocera
U8	ESD	1	ESDR0502NMUTBG	ON Semiconductor
SW1	Tact Switch	2	B3U-1000P	Omron
D1	Diode	1	MBR0520L(SOD-123))	ON Semiconductor
D2,3	Diode	2	PMEG2010AEH(SOD123F)	Nexperia
L1,L2,L3,L4	Ferrite Beads	4	MMZ1608R601A(600Ω 500mA)	TDK
LED1,2	LED	2	150060VS5504	Chip type LED 緑 (1608 Size)
JP1,3,4,7	Jumper SW	4	1.27mm pitch 3PINx1 列	nelton industrial etc.
JP2	Jumper SW	2	1.27mm pitch 2PINx1 列	nelton industrial etc.
JP5	Jumper SW	1	1.27mm pitch 2PINx2 列	Chang Enn Co., Ltd. etc.
JP6	Jumper SW	1	1.27mm pitch 2PINx5 列	Chang Enn Co., Ltd. etc.
CN1	Connector	1	2x10=20PIN 2.54mm pitch	未実装
CN2	USB Connector	1	Mini-USB connector	Wurth Electronics: etc.

7 補足

弊社では FPGA 開発ツールおよび FPGA デバイスの内容についてのサポートは行っておりません。あらかじめご了承くださいませようお願いいたします。

- 1.本書に記載された内容につきましては、改善のため予告なしに変更することがあります。
- 2.本書に記載された情報や図面等の使用に起因した等三者の所有する工業所有権およびその他の権利侵害に対し当社はその責任を負うものではありません。
- 3.本書に記載された内容を当社に無断で転載または複製することは、ご遠慮下さい。
- 4.本書に記載された製品は「外国為替及び外国貿易管理法」に基づく戦略物質等に該当します。従って本製品を輸出する場合は、同法に基づく許可が必要となります。

© 2019 Mega-Sys Co., Ltd.

〒407-0014

山梨県韮崎市富士見3-16-37

メガシス株式会社

TEL:0551-23-0576

FAX:0551-23-0576

URL:<http://www.megasys.co.jp>