

# MS72003IP

## CORDIC Arc Tangent Root Calculation IP Module (Verilog HDL)

### ■ 概要

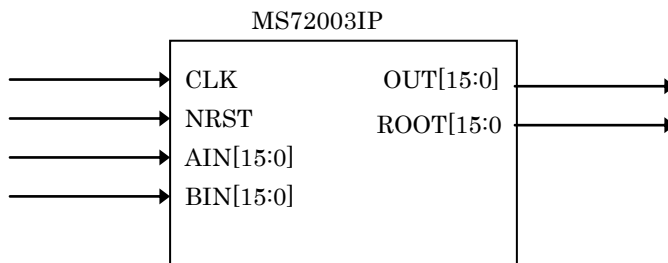
MS72003IP は、演算方式として Cordic 法を用いた固定小数点の Arc Tangent 演算 IP モジュールです。ハードウェア記述言語 Verilog-HDL を用いた IP モジュールとなっています。符号付き 16bit の X, Y データを入力して符号付き 16bit の  $\tan^{-1}(Y/X)$  と正数 16bit の  $\sqrt{X^2+Y^2}$  を出力します。

### ■ 特長

本 IP に符号付き 16 ビット X, Y データとクロック、リセット信号を入力すると入力データに相当した  $\tan^{-1}(Y/X)$  出力と  $\sqrt{X^2+Y^2}$  出力が得られます。

- データ入力は符号付き 16bit X データ (AIN[15:0])、Y データ (BIN[15:0]) 入力で、bit15 が符号、bit14 と bit13 の間に小数点があり、bit13 から bit0 は小数点以下の値となります。
- $\tan^{-1}(Y/X)$  (OUT[15:0]) はラジアンで表す符号付きの 16bit で  $-\pi$  から  $\pi$  の間の値となり、bit15 が符号、bit14 と bit13 の間に小数点があり、bit13 から bit0 は小数点以下の値となります。
- $\sqrt{X^2+Y^2}$  (ROOT[15:0]) は正数 16bit で bit15 と bit14 の間に小数点があり、bit14 から bit0 は主数点以下の値となります。
- 本 IP は最新の FPGA で合成した場合に 100MHz 以上のクロック速度が得られます。

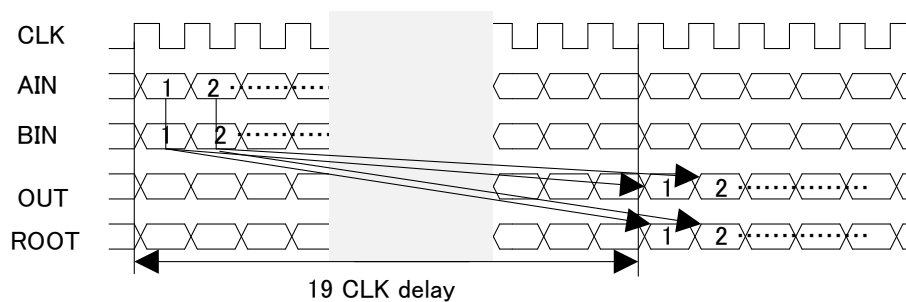
### ■ 入出力信号図



### ■ 信号説明

端子名	極性	I/O	機能
CLK	-	I	クロック入力
NRST	L	I	内部回路リセット信号入力
AIN[15:0]	H	I	X 座標データ信号入力 (符号付き 16bit)
BIN[15:0]	H	I	Y 座標データ信号入力 (符号付き 16bit)
OUT[15:0]	H	O	$\tan^{-1}(Y/X)$ 角度データ出力 (符号付き 16bit)
ROOT[15:0]	H	O	$\sqrt{X^2+Y^2}$ データ出力 (正数 16bit)

## ■ タイミングチャート



## ■ 入力信号、出力信号の対応

入力信号と出力信号の対応は別ファイル DEG\_XIN\_YIN\_RAD\_SQRT.txt を参照してください。

本書に記載された内容につきましては、改善のため予告なしに変更することがあります。

1. 本書に記載された情報や図面等の使用に起因した等第三者の所有する工業所有権およびその他の権利侵害に対し当社はその責任を負うものではありません。
2. 本書に記載された内容を当社に無断で転載または複製することは、ご遠慮下さい。
3. 本書に記載された製品は「外国為替及び外国貿易管理法」に基づく戦略物質等に該当します。従って本製品を輸出する場合は、同法に基づく許可が必要となります。

© 2020 Mega-Sys Ltd.