

# MS70203IP

## RGB to YUV Conversion IP Module (verilog HDL)

### 概要

MS70203IP は RGB 画像データ信号から YUV 画像データ信号への変換を行う IP モジュールです。

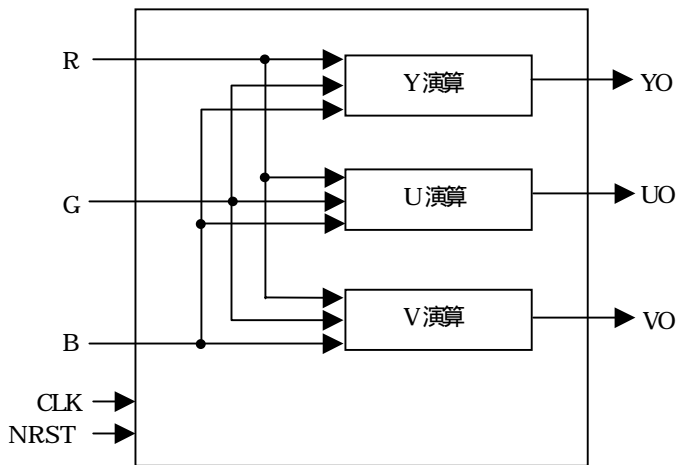
### 特長

- 入出力データ幅 8bit
- 高速パイプライン演算処理
- 変換演算 ITU-RBT-601 準拠

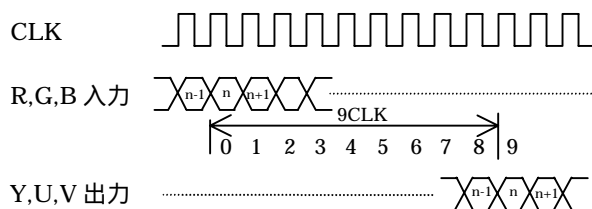
### 入出力信号

信号名	極性	I/O	信号説明
CLK	-	I	クロック入力
NRST	L	I	システムリセット入力
R[7:0]	-	I	R データ入力
G[7:0]	-	I	G データ入力
B[7:0]	-	I	B データ入力
YO[7:0]	-	O	Y データ出力
UO[7:0]	-	O	U データ出力
VO[7:0]	-	O	V データ出力

### ブロック図



### タイムチャート



1. 本書に記載された内容につきましては、改善のため予告なしに変更することがあります。
2. 本書に記載された情報や図面等の使用に起因した等第三者の所有する工業所有権およびその他の権利侵害に対し当社はその責任を負うものではありません。
3. 本書に記載された内容を当社に無断で転載または複製することは、ご遠慮下さい。