

MS60201IP

HDLC Serial Communication Interface IP Module (verilog HDL)

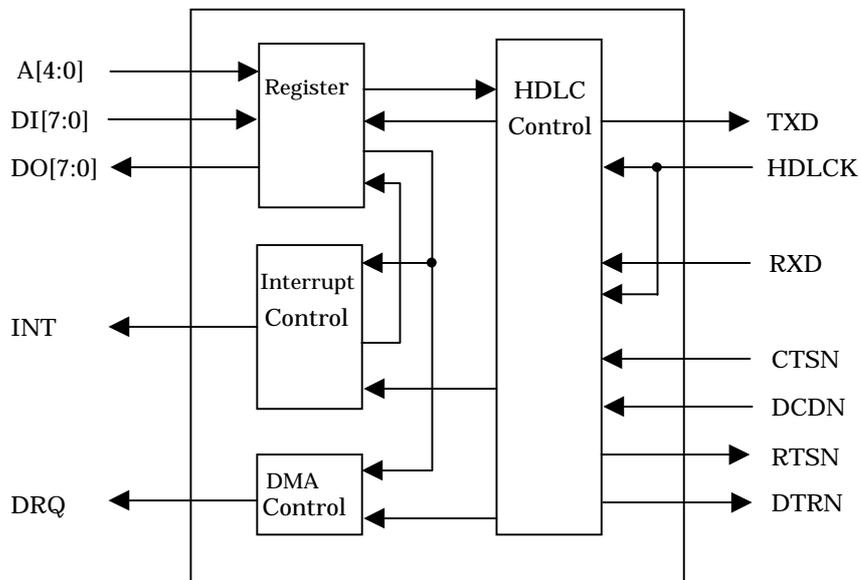
概要

MS60201IP は HDLC (High level Data Link Control) 通信インタフェース用 IP モジュールです。

特長

- 送受信 FIFO 内蔵
- DMA コントローラ内蔵
- CRC-CCITT と CRC-16 の 2 種の FCS 対応
- 各種割り込み出力
- 折返し設定可
- 送受信加っ共通

ブロック図



入出力信号

信号名	I/O	極性	信号説明
TXD	O	-	送信データ出力
RXD	I	-	受信データ入力
CTSN	I	L	CTS入力
DCDN	I	L	DCD入力
RTSN	O	L	RTS出力
DTRN	O	L	DTR出力
HDLCK	I	-	データ転送加っ
RXINT	O	H	受信割り込み
TXINT	O	H	送信割り込み
SPINT	O	H	SP割り込み
ESINT	O	H	ES割り込み
DRQT	O	H	送信データDMA転送リクエスト
DRQR	O	H	受信データDMA転送リクエスト

信号名	I/O	極性	信号説明
CK	I	-	システムクロック入力
RN	I	L	システムリセット入力
DI[7:0]	I	-	ライトデータ入力
DO[7:0]	O	-	リードデータ出力
AI[4:0]	I	-	アドレス入力
WR	I	H	データライトストロブ
RD	I	H	データリードストロブ

レジスタ一覧

アドレス	R/W	レジスタ名	概要
00	-	-	-
01	W	INTSTCL	割り込み要因ステータスクリア
02	R/W	INTEN	割り込みイネーブル設定
03	R/W	INTENCL	割り込みイネーブルクリア
04	R/W	TRXINTEN	送受信割り込みイネーブル設定
05	R/W	TRXINTENCL	送受信割り込みイネーブルクリア
06	R/W	RXADDR	受信アドレス設定
07	R/W	RXCOND	受信動作設定
08	R/W	RXTH	受信FIFO割り込み発生段数設定
09	R/W	RXINTS	受信割り込み動作設定
0A	W	RXCTL	受信制御レジスタ
0B	R	RXDATA	受信データレジスタ
0C	R/W	TXS	送信設定レジスタ
0D	R/W	TXTH	送信FIFOの割り込み発生段数設定
0E	W	TXCTL	送信制御レジスタ
0F	W	TXDATA	送信データレジスタ
10	R/W	MISC	その他の設定レジスタ
11	R/W	DMAS	DMA設定レジスタ
12	R/W	PORTCTL	port出力制御レジスタ
13	-	-	-
14	-	-	-
15	-	-	-
16	R	ESINTST	E/S割り込み要因のステータスレジスタ
17	R	SPINTST	SP割り込み要因のステータスレジスタ
18	R	NOINTST	割り込み要因とならないステータスレジスタ
19	R	RESIDUE	端数ビットパタンのステータスレジスタ
1A	R	TXST	送信ステータス
1B	R	MON	割り込みポートのモニタレジスタ
1C	-	-	-
1D	-	-	-
1E	-	-	-
1F	W	SRST	ソフトリセット

- 1.本書に記載された内容につきましては、改善のため予告なしに変更することがあります。
- 2.本書に記載された情報や図面等の使用に起因した等三者の所有する工業所有権およびその他の権利侵害に対し当社はその責任を負うものではありません。
- 3.本書に記載された内容を当社に無断で転載または複製することは、ご遠慮下さい。