

MS59402

CMOS Priority Interrupt Controller

概要

MS59402 は MC68000CPU に対する割り込みコントローラ LSI です。
MC68153 ピン、ファンクションコパチブルです。

特長

- VMEbusI / F 可能
- MC68000 (コパチブル品を含む) I / F 可能
- 8 個のリト / ライト可能なレジスタを内蔵
- 4 本の割り込み要求に対応
- 割り込み要求個々の許可 / 禁止を設定可能
- 割り込み要求レベル (7 レベル) を設定可能
- 割り込み優先度を設定可能
- 割り込み優先度の出力レベル切り替えを設定可能
- 割り込みアクリッジデインジェクションを制御
- 5V 単一電源
- 40PIN プラスチック DIP

電気的仕様

絶対最大定格 (V_{SS}=0V)

項目	記号	定格値	単位
電源電圧	VDD	-0.3~7.0	V
入力電圧	VI	-0.3~VDD+0.5	V
出力電圧	VO	-0.3~VDD+0.5	V
出力電流 / ピン	IOUT	±24	mA
許容損失	PD	200	mW
電源電流	IDD / ISS	±40 *1	mA
保存温度	TSTG	-65~150	°C

推奨動作条件 (V_{SS}=0V)

項目	記号	定格			単位
		MIN	TYP	MAX	
電源電圧	VDD	4.75	5.00	5.25	V
入力電圧	VIN	VSS	-	VDD	V
動作温度	TOPr	0	-	70	°C

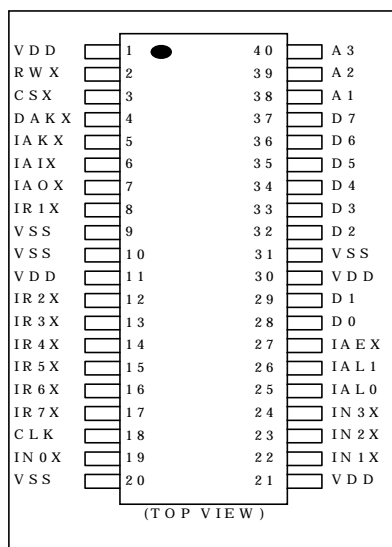
*1:電源電流=電源端子 (VDD / VSS) に流入または、流出する許容電流。

注) 絶対最大定格を瞬時たりとも超過して使用した場合、デバイスの永久破壊となることがあります。

直流特性 (推奨動作条件による)

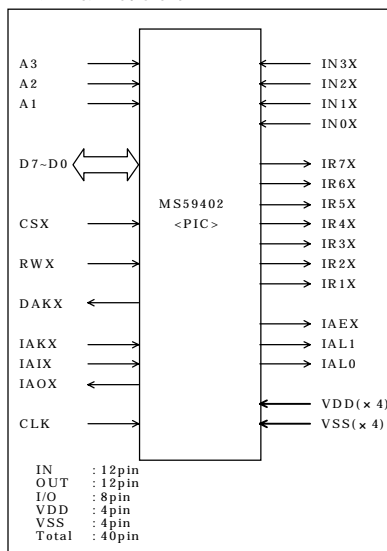
項目	記号	条件	MIN	TYP	MAX	単位	対象端子名
静止電流	IDDS	V _{IN} =V _{DD} orV _{SS} V _{DD} =MAX I _{OH} =I _{OL} =0	-	-	200	μA	
入力リーク電流	IL	V _{DD} =MAX V _{IH} =V _{DD} V _{IL} =V _{SS}	-1	-	1	μA	
3 状態リーク電流	I _{OZ}	V _{DD} =MAX V _{OH} =V _{DD} V _{OL} =V _{SS}	-1	-	1	μA	D7, D6, D5, D4, D3, D2, D1, D0, DAKX, IR7X, IR6X, IR5X, IR4X, IR3X, IR2X, IR1X,
Hレベル入力電圧	V _{IH2}	TTLレベル, V _{DD} =MAX	2.0	-	-	V	A3, A2, A1, D7, D6, D5, D4, D3, D2, D1, D0, CSX, RWX, IAKX, IAIX, IN3X, IN2X, IN1X, IN0X, CLK
Lレベル入力電圧	V _{IL2}	TTLレベル, V _{DD} =MIN	-	-	0.8	V	
Hレベル出力電圧	V _{OH2}	V _{DD} =MIN I _{OH} =-3mA	V _{DD} -0.4	-	-	V	D7, D6, D5, D4, D3, D2, D1, D0, IA0X, IAEX, IAL1, IAL0
Lレベル出力電圧	V _{OL2}	V _{DD} =MIN I _{OL} =6mA	-	-	V _{SS} +0.4	V	D7, D6, D5, D4, D3, D2, D1, D0, DAKX, IA0X, IR7X, IR6X, IR5X, IR4X, IR3X, IR2X, IR1X, IAEX, IAL1, IAL0
プルアップ抵抗	R _{PU1}	V _{DD} =5.0V	50	-	500	k	A3, A2, A1, D7, D6, D5, D4, D3, D2, D1, D0, CSX, RWX, IAKX, IAIX, IN3X, IN2X, IN1X, IN0X

端子配列



端子説明

入出力端子図



端子機能

信号名	PIN No.	I/O	極性	入力レベル	IoI	機能
A3 A2 A1	40 39 38	I	True	TTL(Pull_Up-R付)		アドレ入力 リード / ライトサイクル : レジスタアドレス 割り込みアクリッジ サイクル : 割り込みレベル
D7~D0	37,36,35, 34,33,32, 29,28	I/O	True	TTL(Pull_Up-R付)	6mA	データバス リード / ライトサイクル : レジスタデータ 割り込みアクリッジ サイクル : 割り込みベクタ出力
CSX	3	I	Low	TTL(Pull_Up-R付)		チップセレクト入力
RWX	2	I		TTL(Pull_Up-R付)		リード / ライト入力 1 : リード サイクル 0 : ライトサイクル
DAKX	4	O	Low		6mA	データ転送アクリッジ 出力 (オフ・フレイム出力) リード / ライトサイクル : サイクル完了 割り込みアクリッジ サイクル : 割り込みベクタ出力完了
IAKX	5	I	Low	TTL(Pull_Up-R付)		割り込みアクリッジ サイクル入力
IAIX	6	I	Low	TTL(Pull_Up-R付)		割り込みデイズイェン入力 1 : 自身の上位側に対応する割り込みが存在する 0 : " 存在しない
IAOX	7	O	Low		6mA	割り込みデイズイェン出力 1 : 自身の下位側に対し、割り込みアクリッジ 応答を許可しない 0 : 自身の下位側に対し、割り込みアクリッジ 応答を許可する
IN3X IN2X IN1X IN0X	24 23 22 19	I	Low	TTL(Pull_Up-R付)		割り込み要求入力
IR7X IR6X IR5X IR4X IR3X IR2X IR1X	17 16 15 14 13 12 8	O	Low		6mA	割り込み要求出力 (オフ・フレイム出力) IR7X 強 ↑ ↓ IR1X 弱

信号名	PIN No.	I/O	極性	入力レベル	IoI	機能
IAEX	27	O	Low		6mA	IAL1,0 確定
IAL1 IAL0	26 25	O	True		6mA	割り込みアクリッジ ナバ-
CLK	18	I		TTL		加ック入力 (Max 25MHz)
VDD	1,11,21,30					+5V 電源入力
VSS	9,10,20,31					0V 電源入力

レジスタ説明

レジスタマップ

アドレス			レジスタビット							初期値	機能		
A3	A2	A1	7	6	5	4	3	2	1	0			
0	0	0	ICR0	FLG	FAC	EIX	IRE	IAC	LV2	LV1	LV0	00 Hex	IN0X コントロールレジスタ
0	0	1	ICR1	FLG	FAC	EIX	IRE	IAC	LV2	LV1	LV0	00 Hex	IN1X コントロールレジスタ
0	1	0	ICR2	FLG	FAC	EIX	IRE	IAC	LV2	LV1	LV0	00 Hex	IN2X コントロールレジスタ
0	1	1	ICR3	FLG	FAC	EIX	IRE	IAC	LV2	LV1	LV0	00 Hex	IN3X コントロールレジスタ
1	0	0	IVR0	VC7	VC6	VC5	VC4	VC3	VC2	VC1	VC0	0F Hex	IN0X へクタレジスタ
1	0	1	IVR1	VC7	VC6	VC5	VC4	VC3	VC2	VC1	VC0	0F Hex	IN1X へクタレジスタ
1	1	0	IVR2	VC7	VC6	VC5	VC4	VC3	VC2	VC1	VC0	0F Hex	IN2X へクタレジスタ
1	1	1	IVR3	VC7	VC6	VC5	VC4	VC3	VC2	VC1	VC0	0F Hex	IN3X へクタレジスタ

レジスタビット機能

・コントロールレジスタ

FLG : MC68000 の TAS 命令用レジスタビット

FAC : FLG(ビット7)自動クリア

0=影響なし。

1=割り込みアクリッジ・サイクル中に対応する FLG を自動クリアする。

EIX : 割り込みアクリッジ 応答切り替え

0=内部応答。 MS59402 がへクタを出力し、DAKX(データ転送アクリッジ)を返す。

1=外部応答。 MS59402 は応答せずに、割り込み要求リネスがへクタを出力し、DAKX を返す。

IRE : 割り込み許可

0=禁止。

1=許可。

IAC : IRE(ビット4)自動クリア

0=影響なし。

1=割り込みアクリッジ サイクル中に対応する IRE を自動クリアする。

再度割り込みを許可したいときは、IRE を"1"に設定し直す必要があります。

LV2 : }
LV1 : } 割り込みレベル
LV0 : }

LV2	LV1	LV0	対応出力
0	0	0	-
0	0	1	IR1X
0	1	0	IR2X
0	1	1	IR3X
1	0	0	IR4X
1	0	1	IR5X
1	1	0	IR6X
1	1	1	IR7X

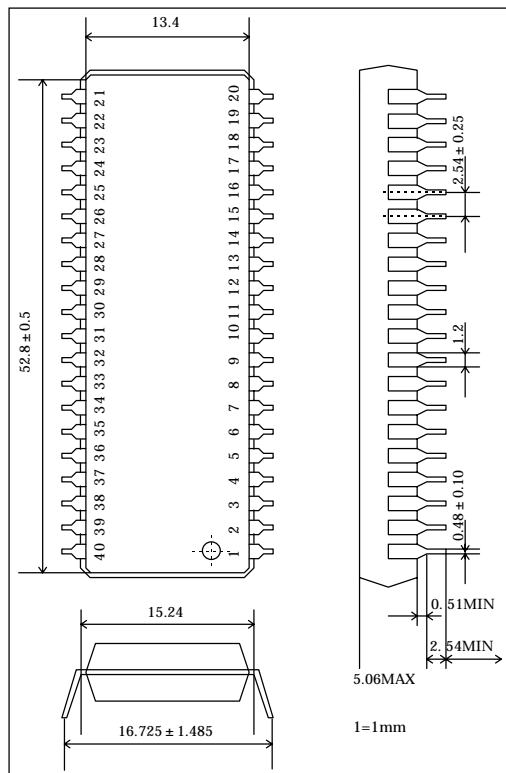
・へクタレジスタ

V7~V0 : 割り込みへクタ。

ICR(コントロールレジスタ)の EIX(ビット5)が"0"のとき割り込みアクリッジ

・サイクル中に、このレジスタの値が D7~D0 端子に出力される。

外形寸法



- 1.本書に記載された内容につきましては、改善のため予告なしに変更することがあります。
- 2.本書に記載された情報や図面等の使用に起因した等三者の所有する工業所有権およびその他の権利侵害に対し当社はその責任を負うものではありません。
- 3.本書に記載された内容を当社に無断で転載または複製することは、ご遠慮下さい。
- 4.本書に記載された製品は「外国為替及び外国貿易管理法」に基づく戦略物質等に該当します。従って本製品を輸出する場合は、同法に基づく許可が必要となります。

© 1999 Mega-Sys Ltd.