

MS40402

CMOS I2S, SPDIF AUDIO DATA DELAY LINE LSI

概要

本 LSI は、I2S バスインタフェース、S/PDIF バスインタフェースに準拠した音声データ入力を設定時間分の遅延をつけて I2S フォーマット又は S/PDIF フォーマットのデジタル音声データとして出力するデジタル音声データ遅延 LSI です。

特長

音声入力フォーマット：I2S（3線）フォーマット、S/PDIF フォーマット

音声出力フォーマット：I2S（3線）フォーマット、S/PDIF フォーマット

I2S フォーマットとして、以下の3種類の組み合わせに対応可能

1) 16bit_data / 16bit_format , 2) 16bit_data / 32bit_format , 3) 24bit_data / 32bit_format

音声データ遅延時間をプログラマブルに設定可能

音声データ遅延用 FIFO として外付けメモリデバイス（16Mbit までの SDRAM 又は SRAM）を接続可能

S/PDIF フォーマット出力には、以下の2種類の音声データを選択して出力可能

1) 入力データを S/PDIF フォーマットに変換遅延したデータ , 2) S/PDIF 入力スルー

32KHz ~ 192KHz のサンプリング周波数に対応可能

遅延時間の最大値は約 8sec(32KHzSampling 時), 約 1.36sec(192KHzSampling 時)

遅延時間の設定単位は 6msec(32KHzSampling 時), 1msec(192KHzSampling 時)

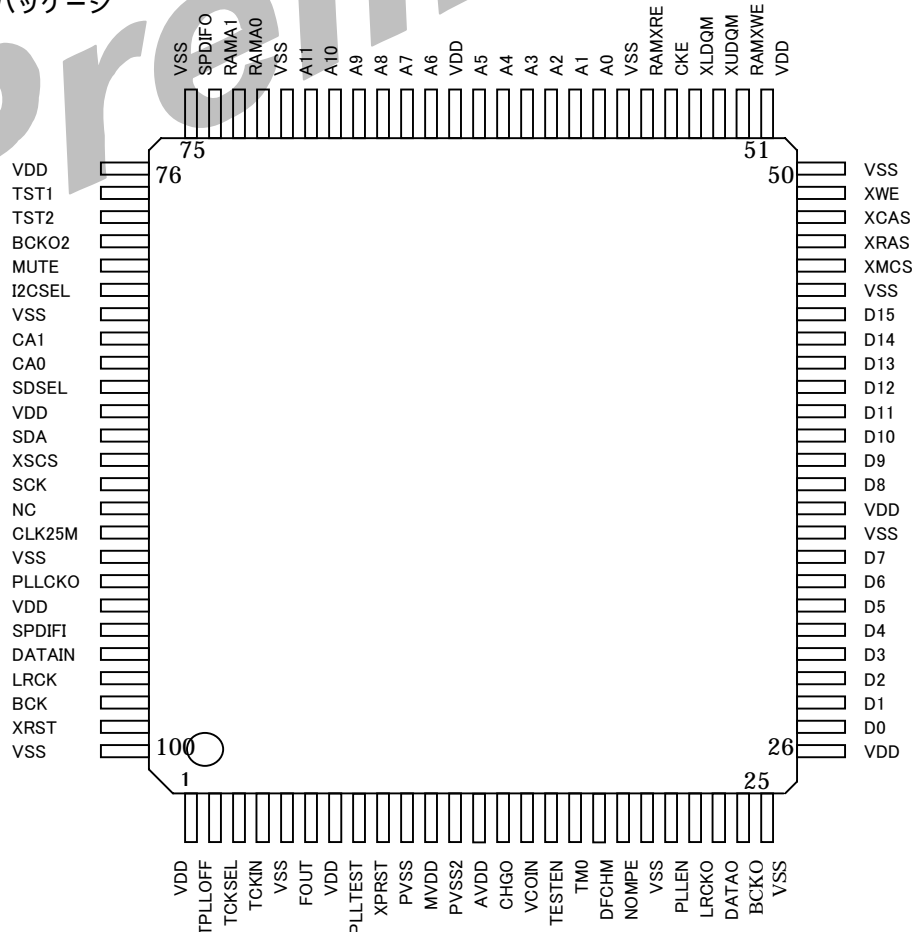
I2S S/PDIF、S/PDIF I2S 双方向のデータフォーマット変換 IC としても使用可能

3線シリアル制御、I2C シリアル制御を選択可能

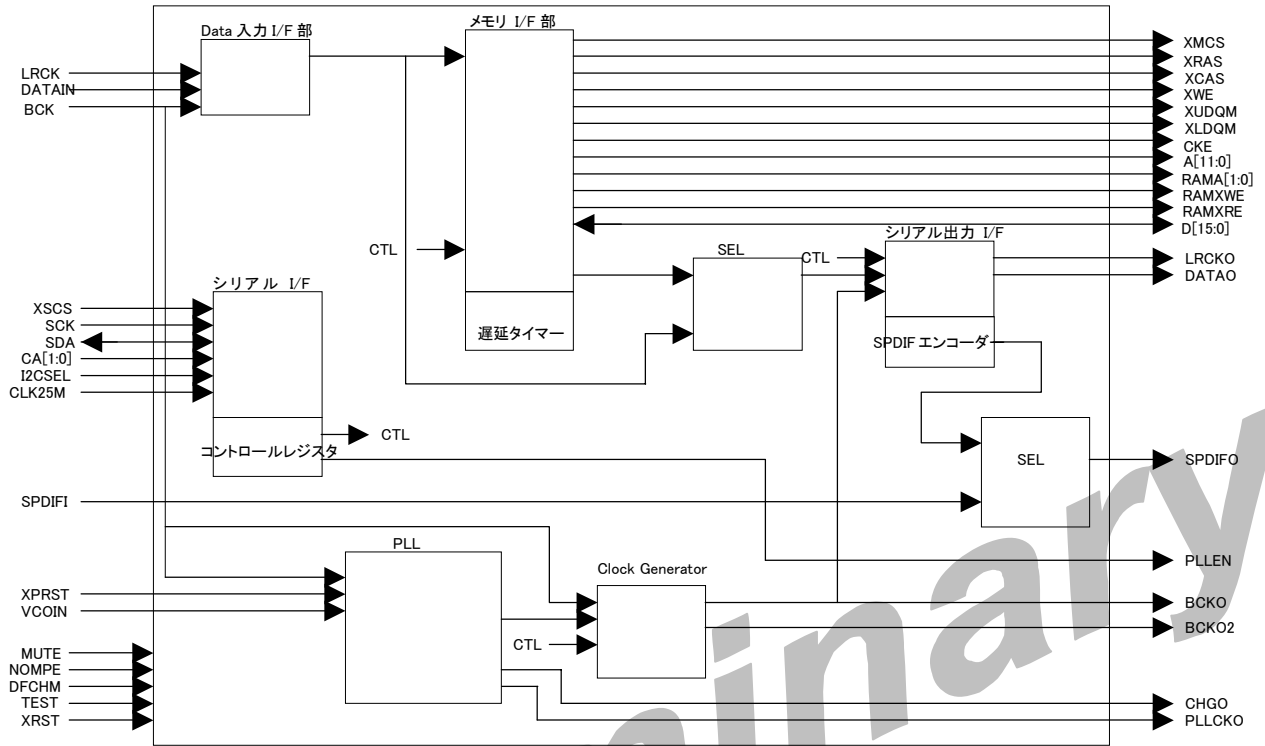
PLL 内蔵

LQFP-100pin

パッケージ



ブロック図



Preliminary

端子説明

分類	信号名	I/O	極性 etc.	概要
Audio I/F	LRCK	I		LRCK入力(Sampling Freq.32~192kHz L,R Ch.指定)
	DATAIN	I		Audio Data入力(I2S,S/PDIF Format)
	BCK	I		Bit Clock入力 (1.024MHz : 32kHz I2S~ 24.576MHz : 192kHz S/PDIF)
	LRCKO	O		LRCK出力(Sampling Freq.32~192kHz L,R Ch.指定)
	DATAO	O		Audio Data出力(I2S,S/PDIF Format)
	BCKO	O		Bit Clock出力 (1.024MHz : 32kHz~ 24.576MHz : 192kHz)
	BCKO2	O		Bit Clock2出力(SPDIFOに連動したBit Clock)
S/PDIF	SPDIFI	I		S/PDIF入力(2.048Mbps~12.288Mbps)
	SPDIFO	O		S/PDIF出力(2048Mbps~12.288Mbps)
Serial I/F	SCK	I	"H" active	シリアル通信クロック
	XSCS	I	"L" active	シリアル通信チップセレクト(I2Cの時はHigh固定で使用)
	SDA	I/O		シリアル通信データ
	CLK25M	I		I2C Modeの時10MHz~25MHzのクロックを入力
	I2CSEL	I		シリアルモード選択(HighでI2C Mode)
	CA[1:0]	I		デバイスアドレス選択(レジスタアドレスの上位に相当)
PLL	XPRST	I	"L" active	PLLリセット(PLEN 出力に接続)
	PLLCKO	O		PLLクロック出力モニタ(PLL出力の1/4分周を出力)
	FOUT	O		PLLクロック出力モニタ
	CHGO	O		Charge Pump Out(外部でループフィルタを構成)
	VCOIN	I		VCOIn(外部でループフィルタを構成)
Memory 制御	D[15:0]	I/O		外付け遅延用メモリデータバス
	A[11:0]	O		外付け遅延用メモリアドレス出力
	RAMXWE	O	"L" active	遅延用SRAMライトイネーブル
	XWE	O	"L" active	遅延用SDRAMライトイネーブル(SRAM A15)
	XRAS	O	"L" active	遅延用SDRAM RAS(SRAM A17)
	XCAS	O	"L" active	遅延用SDRAM CAS(SRAM A16)
	XUDQM	O	"L" active	遅延用SDRAM UDQM(SRAM A14)
	XLDQM	O	"L" active	遅延用SDRAM LDQM(SRAM A13)
	CKE	O	"H" active	遅延用SDRAM CKE(SRAM A12)
	RAMXRE	O	"L" active	遅延用SRAM リードイネーブル
	XMCS	O	"L" active	遅延用メモリチップセレクト
	RAMA[1:0]	O		遅延用SRAM上位アドレス(SRAM A18,19)
	制御	SDSEL	I	
NOMPE		I	Pull Down内蔵	パリティエラー時出力制御
DFCHM		I	Pull Down内蔵	データフォーマット変換モードセレクト
MUTE		I		音声データ出力ミュート
PLEN		O		PLLイネーブル出力
Global	XRST	I	"L" active	非同期リセット入力
PLL電源	MVDD	-		VDD(3.3V) PLL専用電源
	PVSS	-		VSS(0V) PLL専用電源
	PVSS2	-		VSS(0V) PLL専用(Low Pass Filter)電源
	AVDD	-		VDD(3.3V) PLL専用(Low Pass Filter)電源
電源	VDD	-		VDD(3.3V)
	VSS	-		VSS(0V)

電気的特性

絶対最大定格 (V_{SS}=0V)

項目	記号	定格値	単位
電源電圧	VDD	-0.3~4.0	V
入力電圧	V _{IN}	-0.3~VDD+0.5	V
出力電圧	IOUT	-0.3~VDD+0.5	V
保存温度	TSTG	-55~+125	°C

推奨動作条件 (V_{SS}=0V)

項目	記号	定格			単位
		MIN	TYP	MAX	
電源電圧	VDD	3.0	3.3	3.6	V
入力電圧	V _{IN}	0		VDD	V
動作温度	Topr	0		70	°C

直流特性

T B D

レジスタMAP

デバイスアドレス = {CA1,CA0} (MSB First)3 線シリアル (CA1,CA0 は端子設定)
 = {10000,CA1,CA0}(MSB First)I2C シリアル (CA1,CA0 は端子設定)

サブアドレス	レジスタ名	7	6	5	4	3	2	1	0
00h	MODE 設定レジスタ	SEL	-	-		OUTSEL1	OUTSEL0	INPSEL1	INPSEL0
		R/w(0)	R(0)	R(0)	R(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)
01h	DELAY 設定レジスタ	DELAY7	DELAY6	DELAY5	DELAY4	DELAY3	DELAY2	DELAY1	DELAY0
		R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)
02h	DELAY 設定レジスタ	7	6	5	4	3	2	1	0
		-	-	-	-	-	DELAY10	DELAY9	DELAY8
							R/W(0)	R/W(0)	R/W(0)
03h	SPDIF 設定レジスタ	7	6	5	4	3	2	1	0
		FSSET2	FSSET1	FSSET0	VSET	CSET	CLSET	CISSET	CHSET
		R/W(0)	R/W(1)	R/W(0)	R/W(1)	R/W(1)	R/W(0)	R/W(0)	R/W(0)
04h	動作制御レジスタ	7	6	5	4	3	2	1	0
		PERRCLR	-	FMUTE	MUTE	MINIT	DLYSTA	DVRDY	PLLEN
		R/w(0)	R(0)	R/w(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)	R/W(0)
05h	エラーレジスタ	7	6	5	4	3	2	1	0
		-	-	-	-	-	-	-	PERR
		R(0)	R(0)	R(0)	R(0)	R(0)	R(0)	R(0)	R(0)

レジスタ機能

MODE 設定レジスタ(00h)

- SEL : SPDIFO 出力 Data 選択
- OUTSEL[1:0] : 出力データフォーマット選択
- INPSEL[1:0] : 入力データフォーマット選択

DELAY 設定レジスタ(01h)

- DELAY[7:0] : DELAY 量設定下位

DELAY 設定レジスタ(02h)

- DELAY[10:8] : DELAY 量設定上位

SPDIF 設定レジスタ(03h)

- CHSET : チャンネルステータス設定
- CLSET, CISSET : 著作権情報設定(カテゴリコード)
- CSET : 著作権保護設定
- VSET : S/PDIF フォーマット V フラグ設定
- FSSET[2:0] : 標本化周波数設定

動作制御レジスタ(04h)

- PLLEN : PLL 動作開始
- DEVRDY : Device Ready
- DLYSTA : 遅延動作開始
- MINIT : 外部 SDRAM 初期化開始トリガ
- MUTE : 出力ミュート
- FMUTE : 出力ミュート
- PERRCLR : パリティエラークリア

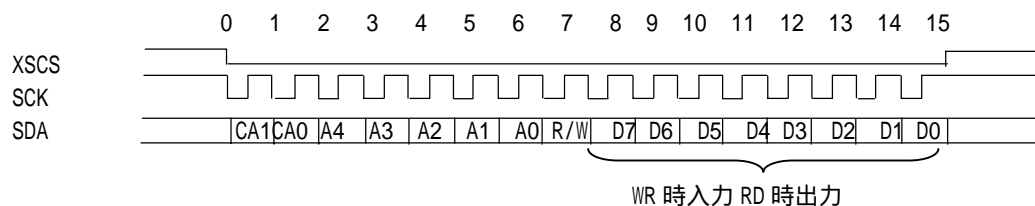
エラーレジスタ(05h)

- PERR : パリティエラー

シリアルインタフェース

以下の2つの方式を端子 I2CSEL で選択する。

1) 3線式シリアルインタフェース (I2CSEL=Lowの時)



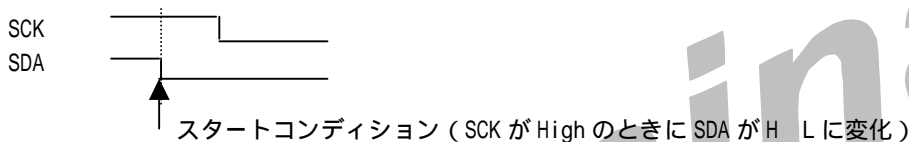
* SCKの立ち上がりで内部シフトレジスタにデータを取り込み、XSCSの立ち上がりで内部制御レジスタにデータがセットされる。

2) I²C インタフェース (I2CSEL=Highの時)

本 IC はシリアルインターフェースとして I2C バスのスレーブモードで動作する。

スタートコンディション

I2C バスではアクセスの初めにマスターがスタートコンディションを出力する。スタートコンディションは下図に示す。

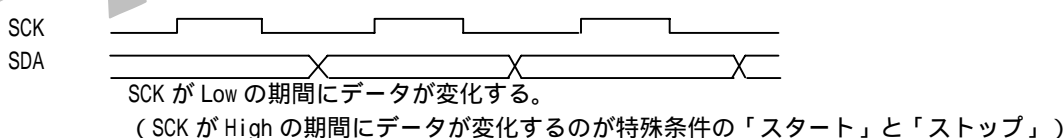


ストップコンディション

アクセスの終了時点でマスターが出力する。



通常データ

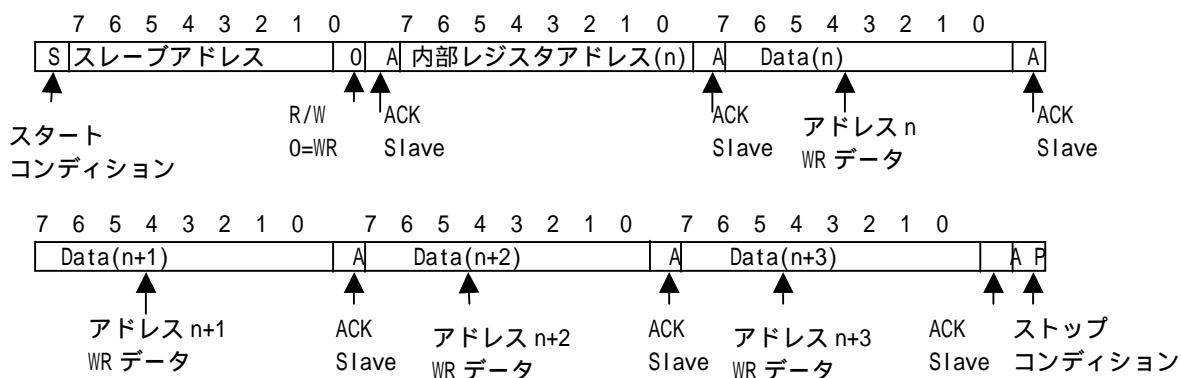


ACK

スタートコンディションのあとで1バイト分のデータ転送が終了したときに ACK を返す。

(ACK=(SDA=Low))

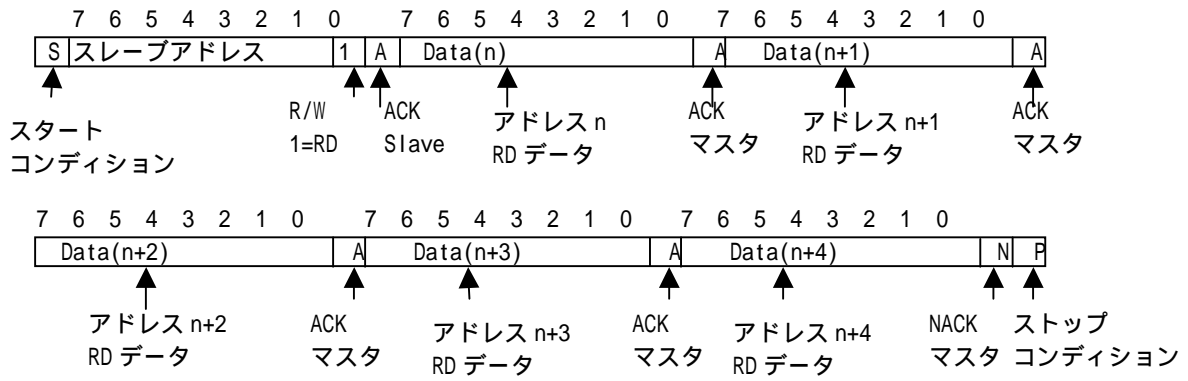
データライト



* スレーブアドレス = 10000, CA1, CA0 (CA1, CA0 は入力端子設定)

* 内部レジスタアドレスは内部のレジスタのアドレス値を 8bit で指定する。

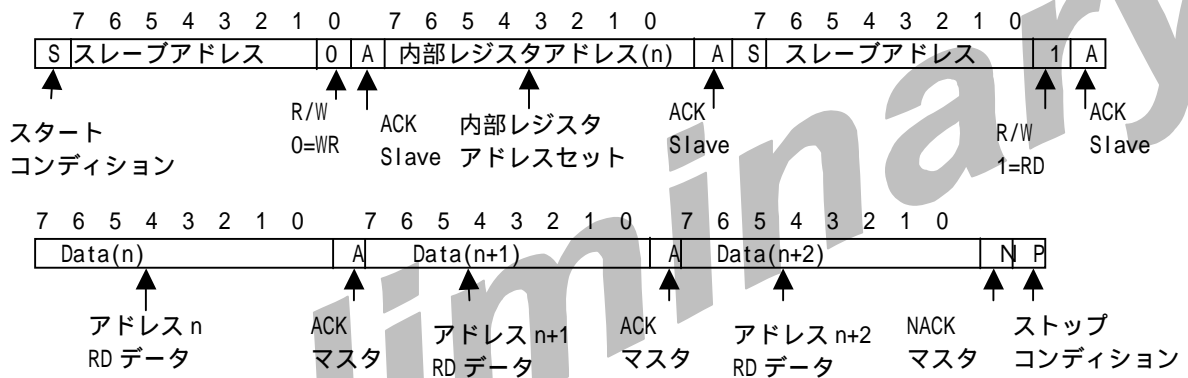
カレントアドレスリード



* スレーブアドレス = 10000, CA1, CA0 (CA1, CA0 は入力端子設定)

* 本アクセスの間にアクセスされた内部アドレスから順にアドレスインクリメントしてリードする。

ランダムリード

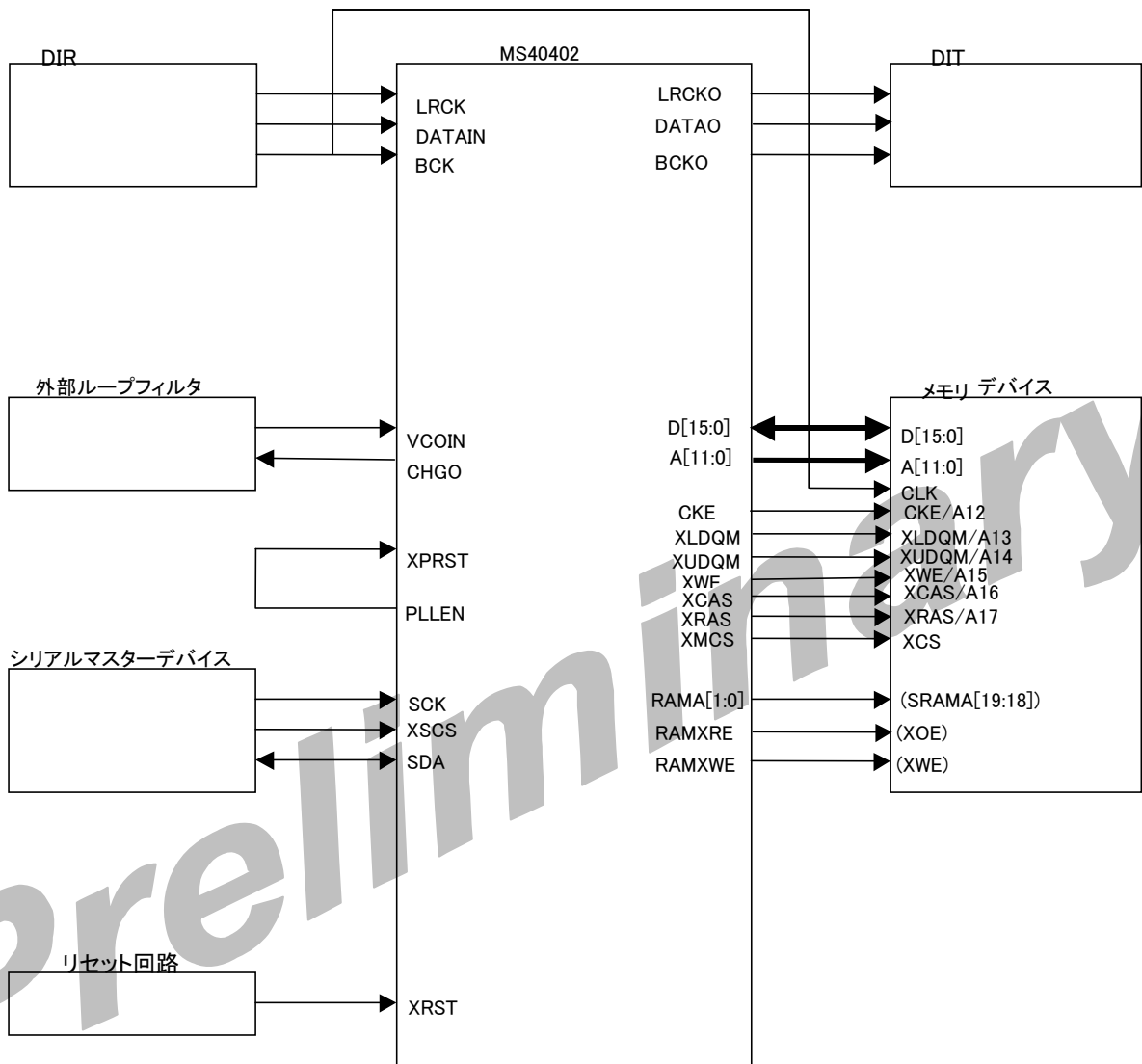


* スレーブアドレス = 10000, CA1, CA0 (CA1, CA0 は入力端子設定)

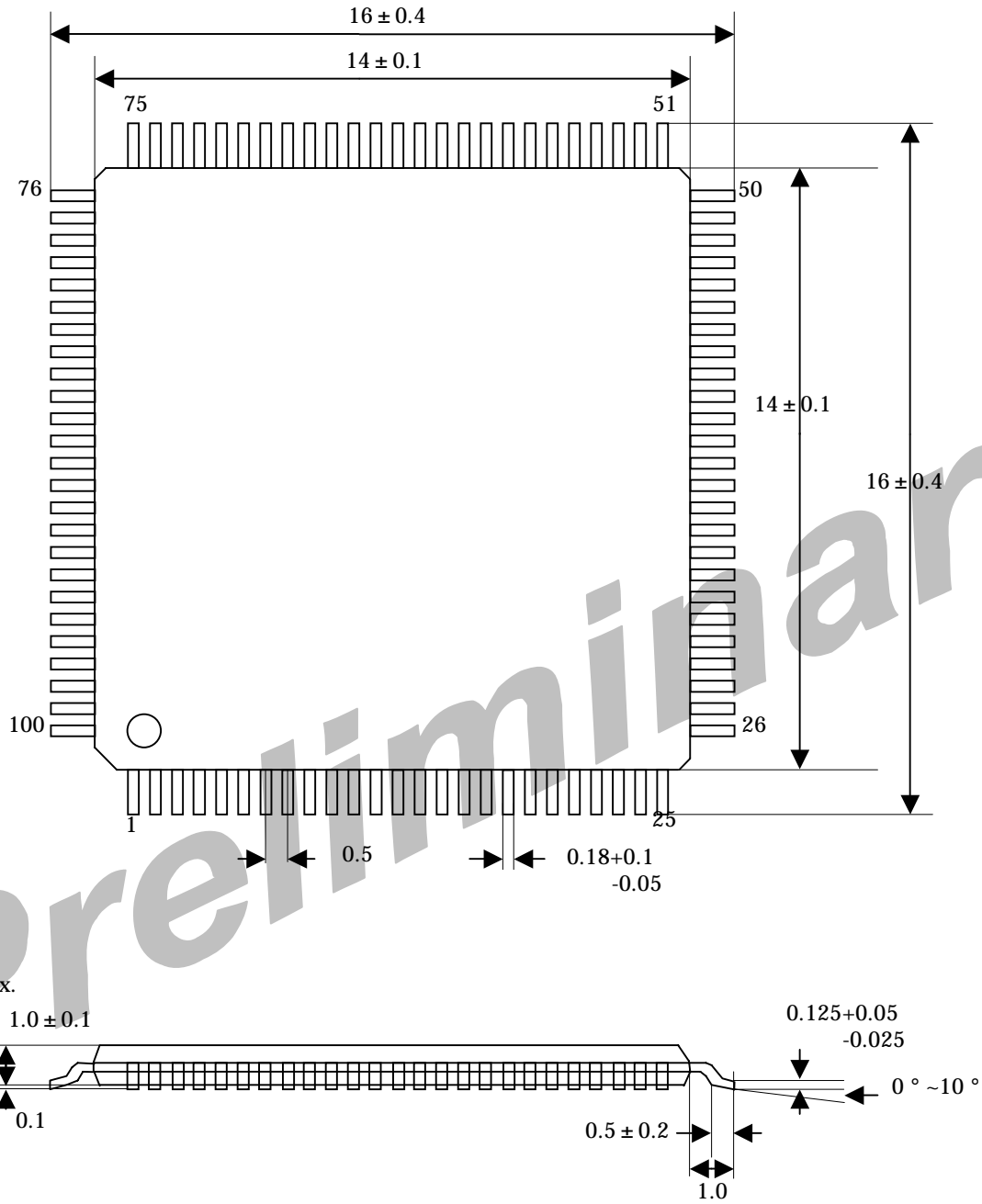
* 内部レジスタアドレスは内部のレジスタのアドレス値を 8bit で指定する。

* セットされた内部アドレス値のデータからアドレスインクリメントして順にリードする。

外部接続図



外形寸法



- 1.本書に記載された内容につきましては、改善のため予告なしに変更することがあります。
- 2.本書に記載された情報や図面等の使用に起因した等三者の所有する工業所有権およびその他の権利侵害に対し当社はその責任を負うものではありません。
- 3.本書に記載された内容を当社に無断で転載または複製することは、ご遠慮下さい。
- 4.本書に記載された製品は「外国為替及び外国貿易管理法」に基づく戦略物質等に該当します。従って本製品を輸出する場合は、同法に基づく許可が必要となります。