

MS40302

CMOS I2S SOUND DATA DELAY LINE LSI

概要

本 LSI は、I2S パスインタフェースに準拠した音声データ入力を、一定時間遅延後に出力する音声データ遅延 LSI です。

特長

音声入力フォーマット：I2S（3線）フォーマット

音声出力フォーマット：I2S（3線）フォーマット、S/PDIF フォーマット

I2S フォーマットとしては、以下の3種類の組み合わせに対応可能

1) 16bit_data / 16bit_format , 2) 16bit_data / 32bit_format , 3) 24bit_data / 32bit_format

音声データ遅延時間をプログラマブルに設定可能

音声データ遅延用 FIFO として 256Kbit の SRAM を内蔵また、外付け FIFO としては 2Mbit までを接続可能

S/PDIF フォーマット出力には、以下の3種類の音声データを選択して出力可能

1) 遅延付き I2S データ , 2) 遅延無し I2S データ , 3) S/PDIF 入力スルー

I2S から S/PDIF へのデータフォーマット変換 IC としても使用可能

S/PDIF エンコーダー用に2の補数変換機能付き

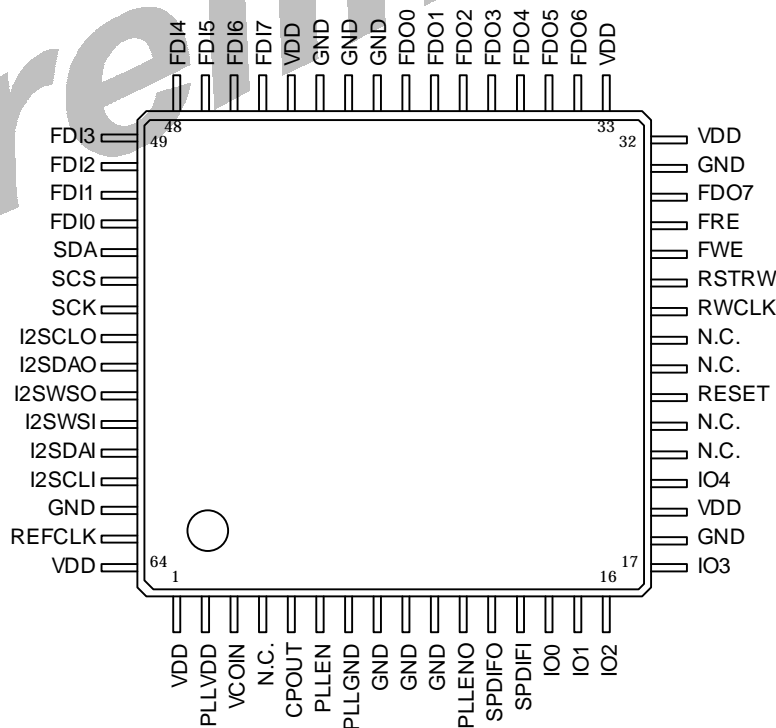
PLL 内蔵

Tbus 規格に準拠した3線シリアル制御

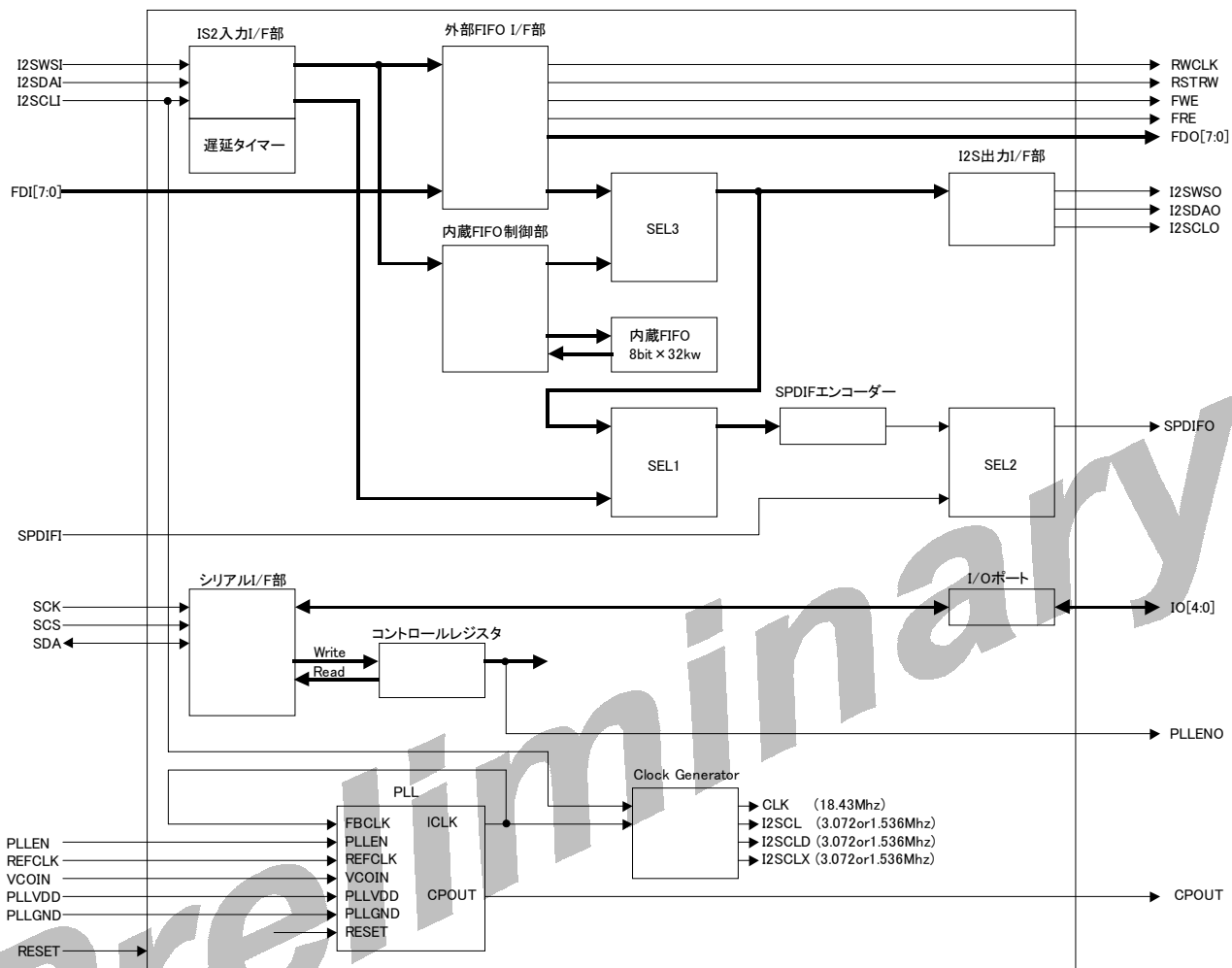
5bit 拡張入出力ポート内蔵

LQFP-64pin

パッケージ



ブロック図



端子説明

分類	信号名	I/O	極性	概要
I2S I/F	I2SWSI	I	5V耐圧入力	I2SWS入力(48KHz L : LchData , H : RchData)
	I2SDAI	I	5V耐圧入力	I2SDA入力
	I2SCLI	I	5V耐圧入力	I2SCL入力 (32bitMode : 3.072MHz , 16bitMode : 1.536MHz)
	I2SWSO	O		I2SWS出力(48KHzL : LchData , H : RchData)
	I2SDAO	O		I2SDA出力
	I2SCLO	O		I2SCL出力 (32bitMode : 3.072MHz , 16bitMode : 1.536MHz)
S/PDIF	SPDIFI	I	5V耐圧入力	S/PDIF入力(3.072Mbps)
	SPDIFO	O		S/PDIF出力(3.072Mbps)
Serial I/F	SCK	I	5V耐圧,Schmitt_Trigger入力	シリアル通信クロック(Tbus II_Clock)
	SCS	I	5V耐圧,Schmitt_Trigger入力	シリアル通信チップセレクト(Tbus II_Period)
	SDA	I/O	5V耐圧,Schmitt_Trigger入力	シリアル通信データ(Tbus II_Data)
	PLLENO	O		PLLイネーブル設定出力(PLLEN 入力に接続)
PLL	PLLEN	I		PLLイネーブル(Serial I/F の PLL_ENO 出力に接続)
	REFCLK	I	5V耐圧入力	PLLリファレンスクロック入力(外部で I2SCLI に接続)
	CPOUT	O		Charge Pump Out(外部でループフィルタを構成)
	VCOIN	I		VCOIn(外部でループフィルタを構成)
FIFO	FDO[7:0]	O		拡張FIFOデータ出力
	FDI[7:0]	I	PullUp内蔵	拡張FIFOデータ入力
	RWCLK	O		拡張FIFO R/W クロック(18MHz)
	FWE	O	"H" active	拡張FIFO ライトイネーブル
	FRE	O	"H" active	拡張FIFO リードイネーブル
	RSTRW	O	"H" active	拡張FIFO マスターリセット
PORT	IO[4:0]	I/O	Pull Up内蔵 , 5V耐圧入力	拡張 I/O
Global	RESET	I	"L" active , 5V耐圧入力	非同期リセット入力
PLL電源	PLLVDD	-		VDD(3.3V) PLL専用電源
	PLLGND	-		GND(0V)
電源	VDD	-		VDD(3.3V)
	GND	-		GND(0V)

電気的特性

絶対最大定格 (V_{SS}=0V)

項目	記号	定格値	単位
電源電圧	VDD	-0.3~4.0	V
入力電圧	V _{In}	-0.3~VDD+0.5	V
出力電圧	I _{OUT}	± 3.0	V
保存温度	TSTG	-55~+125	°C

推奨動作条件 (V_{SS}=0V)

項目	記号	定格			単位
		MIN	TYP	MAX	
電源電圧	VDD	3.0	3.3	3.6	V
入力電圧	V _{IN}	0		VDD	V
動作温度	T _{opr}	-40		85	°C

直流特性

T B D

レジスタMAP

デバイスアドレス = 0ch 固定 (LSB First)

サブアドレス	レジスタ名	7	6	5	4	3	2	1	0
00h	MODE 設定レジスタ	-	-	-	SEL3	SEL2	SEL1	MODE[1]	MODE[0]
		R(0)	R(0)	R(0)	R/W(0)	R/W(1)	R/W(0)	R/W(1)	R/W(0)
01h	DELAY 設定レジスタ	7	6	5	4	3	2	1	0
		DELAY[7] R/W(0)	DELAY[6] R/W(0)	DELAY[5] R/W(0)	DELAY[4] R/W(0)	DELAY[3] R/W(0)	DELAY[2] R/W(0)	DELAY[1] R/W(0)	DELAY[0] R/W(0)
02h	SPDIF 設定レジスタ	7	6	5	4	3	2	1	0
		CISSET2 R/W(0)	FSSET[1] R/W(0)	FSSET[0] R/W(1)	NUM R/W(0)	VSET R/W(1)	CSET R/W(1)	CISSET R/W(0)	CHSET R/W(0)
03h	動作制御レジスタ	7	6	5	4	3	2	1	0
		-	-	-	-	FINIT	I2SGO	DEVVDY	PLLEN
04h	ポート設定レジスタ	7	6	5	4	3	2	1	0
		-	-	-	IO4	IO3	IO2	IO1	IO0
05h	ポート出力レジスタ	7	6	5	4	3	2	1	0
		-	-	-	DO4	DO3	DO2	DO1	DO0
06h	ポート入力レジスタ	7	6	5	4	3	2	1	0
		-	-	-	DI4	DI3	DI2	DI1	DI0
		R(0)	R(0)	R(0)	R(x)	R(x)	R(x)	R(x)	R(x)

レジスタ機能

MODE 設定レジスタ(00h)

- MODE[1:0] : I2S モード設定
- SEL1 : S/PDIF デコード選択
- SEL2 : S/PDIF 出力選択
- SEL3 : FIFO 切替

DELAY 設定レジスタ(01h)

- DELAY[7:0] : DELAY 量設定

SPDIF 設定レジスタ(02h)

- CHSET : チャンネルステータス設定
- CISSET2 , CISSET : 著作権情報設定
- CSET : 著作権保護設定
- VSET : S/PDIF フォーマット V 値設定
- NUM : I2S S/PDIF データ変換
- FSSET[1:0] : 標本化周波数設定

動作制御レジスタ(03h)

- PLLEN : PLL 動作開始
- DEVVDY : Device Ready
- I2SGO : I2S 遅延動作開始
- FINIT : 外部 FIFO 初期化開始トリガ

ポート設定レジスタ(04h)

- IO[4:0] : 拡張 I/O 入出力設定

ポート出力レジスタ(05h)

- DO[4:0] : 拡張 I/O 出力データ設定

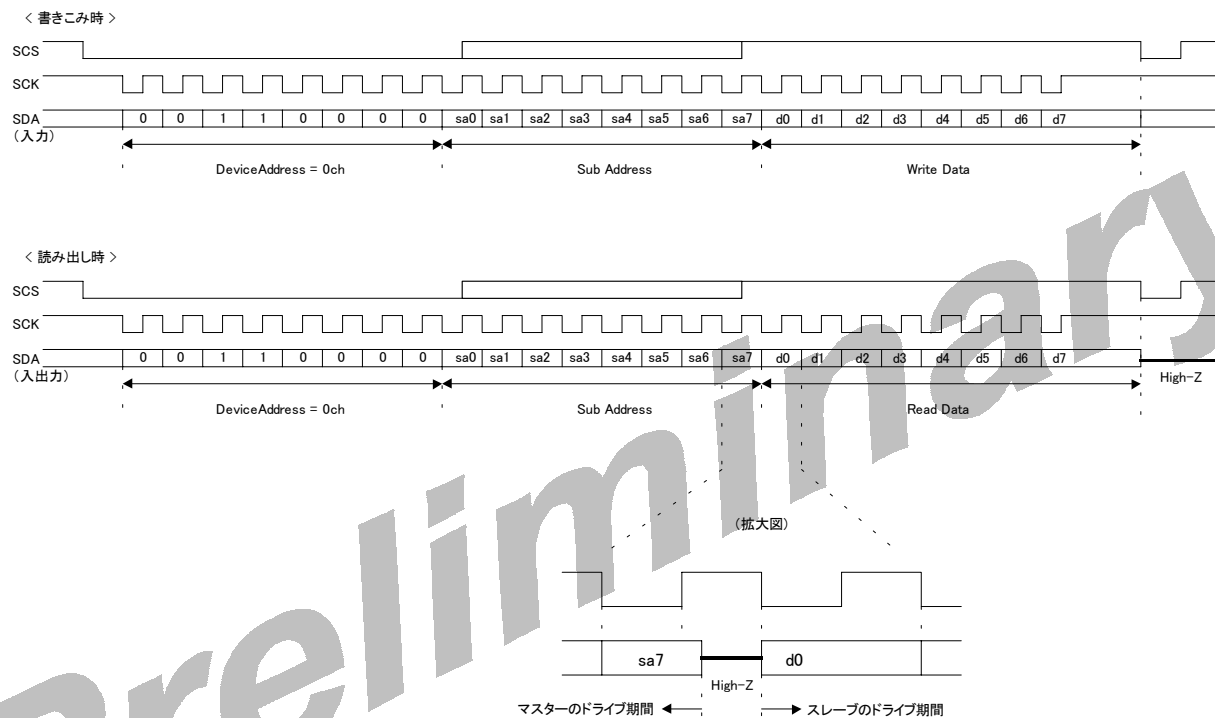
ポート入力レジスタ(06h)

- DI[4:0] : 拡張 I/O 入力データ

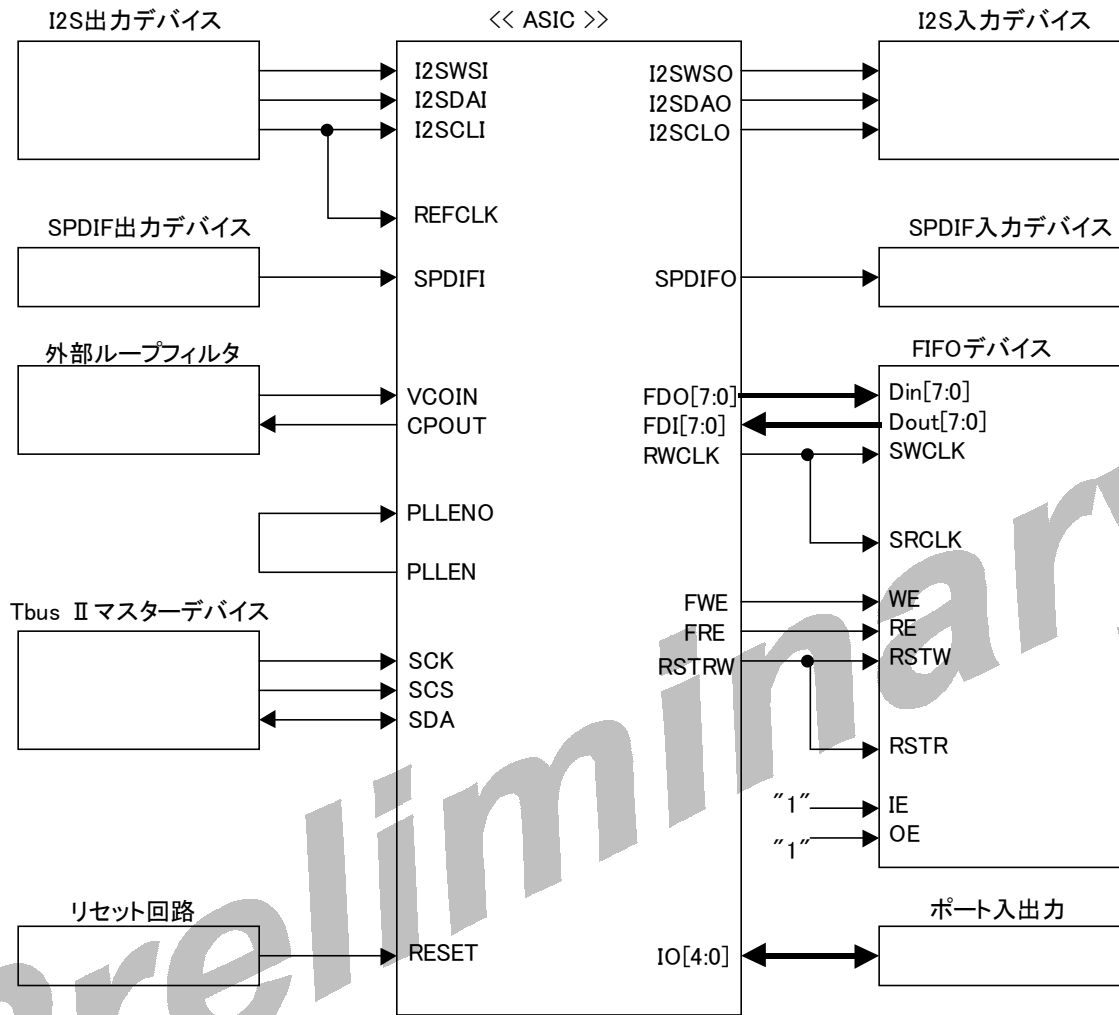
シリアルインタフェース

T b u s 規格に準拠した3線シリアル制御インタフェースです。基本構成のスレーブとして動作します。

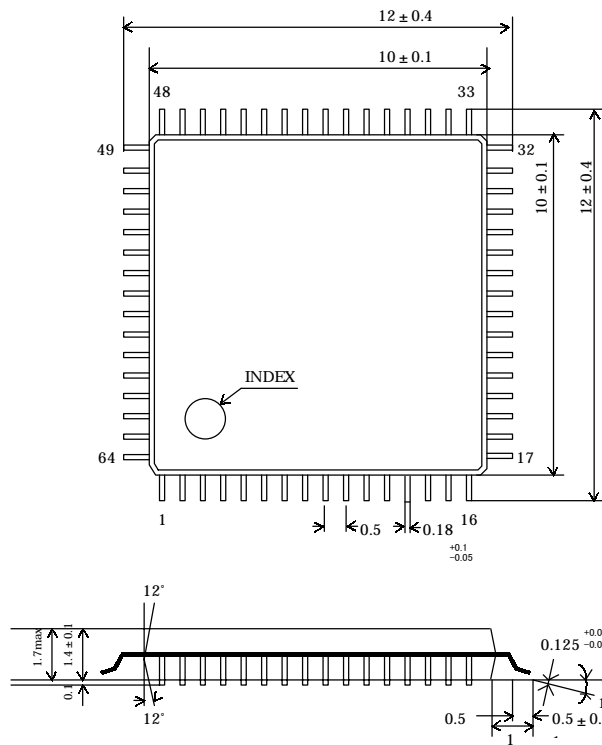
- ・デバイスアドレス : 0c h に対応します。
- ・サブアドレス : 00 h ~ 06 h の範囲に 8bit レジスタが割り当てられています。
- ・リセットアドレス : 00 h に対応します。この時、シリアル制御回路以外の部分 (レジスタも含めて) は内部的にリセットされます。



外部接続図



外形寸法



- 1.本書に記載された内容につきましては、改善のため予告なしに変更することがあります。
- 2.本書に記載された情報や図面等の使用に起因した等第三者の所有する工業所有権およびその他の権利侵害に対し当社はその責任を負うものではありません。
- 3.本書に記載された内容を当社に無断で転載または複製することは、ご遠慮下さい。
- 4.本書に記載された製品は「外国為替及び外国貿易管理法」に基づく戦略物質等に該当します。従って本製品を輸出する場合は、同法に基づく許可が必要となります。